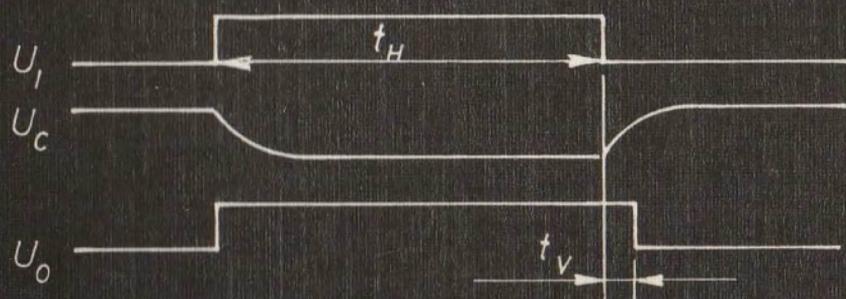
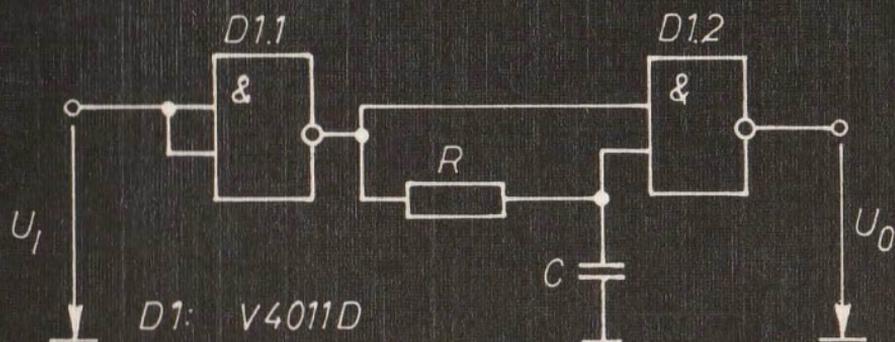


# amateurreihe electronica



Frank Sichla

# 248

Digitale  
Grundsaltungen

electronica · Band 248

FRANK SICHLA

# **Digitale Grundsaltungen**



MILITÄRVERLAG  
DER DEUTSCHEN DEMOKRATISCHEN  
REPUBLIK

Sichla, F.: Digitale Grundsaltungen. –  
Berlin: Militärverlag der DDR (VEB), 1990. –  
80 S., 76 Bilder – (electronica 248)

ISBN 3-327-00942-2

1. Auflage, 1990

© Militärverlag der Deutschen Demokratischen Republik (VEB) –  
Berlin, 1990

Lizenz-Nr. 5

Printed in the German Democratic Republic

Lichtsatz: Druckerei Phönix

Druck und buchbinderische Weiterverarbeitung:

Druckerei des Ministeriums für Nationale  
Verteidigung (VEB) – Berlin – 34318-9

Lektor: Steffen Würtenberger

Zeichnungen: Dorit Bertram

Typografie: Martina Schwarz

Redaktionsschluß: 20. September 1989

LSV 3539

Bestellnummer: 747 330 7

00190

# Inhaltsverzeichnis

<b>1.</b>	<b>Einleitung</b> . . . . .	5
<b>2.</b>	<b>Transistorschaltstufen</b> . . . . .	6
2.1.	<i>Darlington</i> -Schaltstufen . . . . .	6
2.2.	Schnelle Schaltstufen . . . . .	11
2.3.	Leistungsschaltstufe mit Abfallverzögerung . . . . .	14
<b>3.</b>	<b>Impulsbeeinflussung</b> . . . . .	16
3.1.	Impuls-Pausenverhältnis . . . . .	16
3.2.	Verkürzung, Verlängerung . . . . .	17
3.3.	Verzögerung . . . . .	18
3.4.	Synchronisation . . . . .	20
3.5.	Ausblendung . . . . .	22
3.6.	Flankenversteilerung . . . . .	22
<b>4.</b>	<b>Interface-Schaltungen</b> . . . . .	23
4.1.	Kopplung unterschiedlicher TTL-Familien . . . . .	23
4.2.	Kopplung TTL – CMOS . . . . .	23
4.3.	Kopplung Treiber-IS – CMOS . . . . .	25
4.4.	Kopplung CMOS – TTL . . . . .	26
4.5.	Hohe Eingangsspannungen . . . . .	26
4.6.	Niedrige Eingangsspannungen . . . . .	28
<b>5.</b>	<b>Schmitt-Trigger</b> . . . . .	30
5.1.	<i>Schmitt</i> -Trigger mit CMOS-Gattern . . . . .	30
5.2.	<i>Schmitt</i> -Trigger mit Operationsverstärkern . . . . .	31
<b>6.</b>	<b>Impulsgeneratoren</b> . . . . .	33
6.1.	RC-Generatoren . . . . .	33
6.2.	Quarzgeneratoren . . . . .	35

<b>7.</b>	<b>Teiler und Verdoppler</b>	41
7.1.	Teilung durch Vielfache von 2	41
7.2.	Teilung durch ganzzahlige, ungerade Zahlen	42
7.3.	Verdoppler	45
<b>8.</b>	<b>Datenübertragung</b>	48
8.1.	V.24-Schnittstelle	48
8.2.	Abschluß von Busleitungen	50
8.3.	Leitungskodierung	52
8.4.	Optokoppler-Einsatz	56
<b>9.</b>	<b>Schaltungen für die Peripherie</b>	60
9.1.	Entprellschaltung	60
9.2.	Impulserzeugung beim Umschalten	60
9.3.	Elektronischer Tastenschalter	61
9.4.	LED-Schaltungen	63
9.5.	Akustische Zustandsmeldung	65
<b>10.</b>	<b>Hinweise für die Baugruppenentwicklung</b>	67
10.1.	Gesamtschaltungsentwurf	67
10.2.	Stromversorgung	71
10.3.	Störsicherheit	74
<b>Literatur</b>		3. Umschlagseite

# 1. Einleitung

Die moderne Elektronik ist gekennzeichnet durch fortschreitende Konzentration elementarer Schaltungsfunktionen in integrierten Schaltkreisen und eine daraus resultierende Vereinheitlichung der Lösungen für gebräuchliche Grundfunktionen.

Besonders Schaltungen der Digitaltechnik werden zunächst als Übersichtsdarstellung der Grundfunktionen entwickelt; erst dann erfolgt deren nähere Auswahl und Dimensionierung. Diese Tätigkeit kostet oft viel mehr Zeit als der eigentliche Entwurf. Ein direktes Auffinden der optimalen Lösung ist selten möglich, da in der Literatur fast immer Applikationen eines Bauelements vorgestellt werden. Der Hersteller möchte natürlich ein möglichst breites Anwendungsfeld seines Bauelements aufzeigen. Eine solche Variante kann deutlich aufwendiger sein als die optimale Schaltung. Nicht selten fehlen auch wichtige Parameter, die den Einsatzbereich abstecken, oder spezielle Eigenheiten werden nicht angegeben. Das kann die praktische Anwendung stark komplizieren.

Der junge Entwicklungsingenieur und der Amateurelektroniker, der erste Schaltungskonfigurationen nach eigenen Ideen aufbaut, ist von dieser Situation am meisten betroffen. Ihnen soll mit der katalogartigen Zusammenstellung praktisch erprobter und bewährter Grundschaltungen geholfen werden. Damit kann die Auswahl erleichtert, die Verwendung weniger geeigneter Lösungen vermieden, Zeit gespart und die Basis für eine sinnvolle Vereinheitlichung geschaffen werden.

Für die genaue Durchsicht des Manuskripts und die exakten Verbesserungshinweise danke ich Herrn Dipl.-Ing. Klaus Schlenzig.

## 2. Transistorschaltstufen

Transistorschaltstufen werden dann erforderlich, wenn der Ausgangsstrom eines integrierten Schaltkreises nicht ausreicht, Bauelemente für den Kontakt mit dem Umfeld (Relais, Glühlampen, Lautsprecher, LED) zu betreiben. Weitere Anwendungsbereiche sind Pegelwandler zwischen verschiedenen Logikfamilien oder die Verstärkung kleiner Eingangssignale.

### 2.1. Darlington-Schaltstufen

Bei den gegenwärtig und zukünftig vorherrschenden LS-TTL- und CMOS-IS genügt oft ein Transistor nicht, um als Ausgangsstufe die geforderte Stromverstärkung aufzubringen. Man benutzt dann *Darlington*-Schaltungen.

Bei der herkömmlichen Anordnung (Bild 2.1, Bild 2.2) kommt der zweite Transistor nicht in die Sättigung. Im durchgeschalteten Zustand ist die Kollektor-Emitter-Spannung  $U_{CE} \approx 1\text{ V}$ .

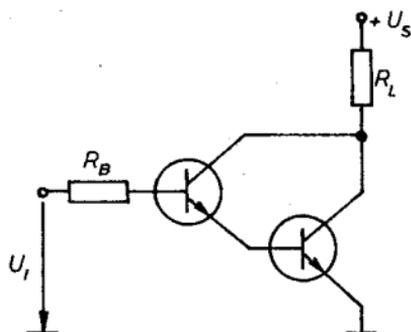


Bild 2.1  
Darlington-Schaltung mit  
nnp-Transistoren

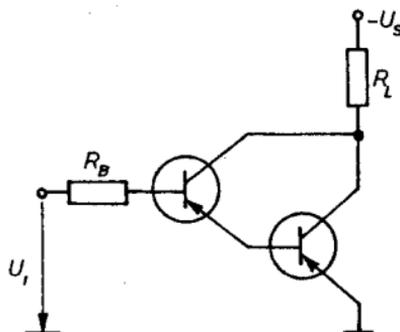


Bild 2.2  
Darlington-Schaltung mit  
pnp-Transistoren

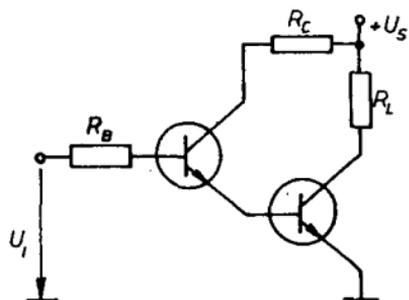


Bild 2.3  
Modifizierte Schaltung mit  
nnp-Transistoren

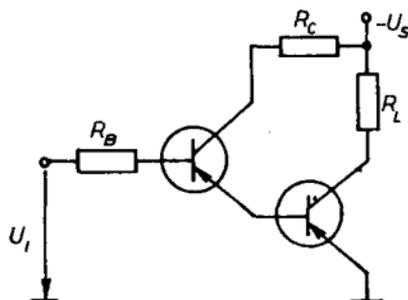


Bild 2.4  
Modifizierte Schaltung mit  
pnp-Transistoren

Durch Einfügen eines Kollektorwiderstands  $R_C$  für den ersten Transistor (Bild 2.3, Bild 2.4) wird das vermieden ( $U_{CE} \leq 0,5 \text{ V}$ ). Man dimensioniert alle diese Stufen „von hinten nach vorn“ mit den Minimalwerten der Stromverstärkung. Es gilt die Einteilung nach Tabelle 2.1, wobei zu beachten ist, daß die Werte für verschiedene Kollektorströme  $I_C$  gelten. In Tabelle 2.2 sind geeignete Ansteuer-, in Tabelle 2.3 geeignete Endtransistoren mit wichtigen Daten aufgelistet. Die Stromverstärkung für den zweiten Transistor muß entsprechend dem Betriebskollektorstrom angesetzt werden.

Tabelle 2.1  
Einteilung der Stromverstärkung von Transistoren

Gruppe	Stromverstärkung
A	18 bis 35
B	28 bis 71
C	56 bis 140
D	112 bis 280
E	224 bis 560
F	450 bis 1120

In der Praxis muß beachtet werden, daß dies bei unterschiedlichen Kollektorströmen für die einzelnen Transistortypen erfolgt. Bei einigen Typen sind die Gruppen eingeschränkt (z. B. SS 216 bis SS 219 nur B, C und D), bei anderen Typen wird überhaupt nicht klassifiziert (z. B. SF 225 bis SF 259, SD 335 bis SD 340).

**Tabelle 2.2**

Grenzwerte geeigneter Ansteuertransistoren. Daneben sind die Typen nach Tabelle 2.4 einsatzfähig. Es ist  $b$  die Kleinsignalstromverstärkung (bei 1 kHz); rechts steht der Strom, bei dem sie ermittelt wurde

Typ	Leitfähigkeit	$U_{CEO}$ in V	$I_C$ in mA	$I_B$ in mA	$b$ bei $I_C$ in mA
SC 236	nnp	20	100	10	2
SC 237	nnp	45	100	10	2
SC 238	nnp	20	100	10	2
SC 116	pnp	20	100	50	
SC 117	pnp	30	100	50	
SC 118	pnp	60	100	50	
SC 119	pnp	80	100	50	
SC 307	pnp	45	100		2
SC 308	pnp	25	100		2
SC 309	pnp	25	100		2

**Tabelle 2.3**

Grenzwerte geeigneter Endtransistoren. Daneben sind die Typen SF 826 bis SF 829 geeignet, die analoge Werte aufweisen. Gleiches gilt für die pnp-Typen SF 816 bis SF 819.  $B$  ist die Großsignalstromverstärkung (bei Gleichstrom)

Typ	Leitfähigkeit	$U_{CEO}$ in V	$I_C$ in mA	$I_B$ in mA	$B$ bei $I_C$ in mA
SF 126	nnp	20	500	250	50
SF 127	nnp	30	500	250	50
SF 128	nnp	60	500	250	50
SF 129	nnp	80	500	250	50

Hierzu siehe Bild 2.5 Für Bild 2.1 und Bild 2.2 gilt folgende Bemessungsgleichung:

$$R_{B \max} = 0,5 \frac{|U_I| - 1,2 \text{ V}}{|U_S| - 1 \text{ V}} R_L \cdot b_{\min} \cdot B_{\min} \quad (1)$$

( $B$  ist die Stromverstärkung des End-,  $b$  die des Ansteuertransistors.)

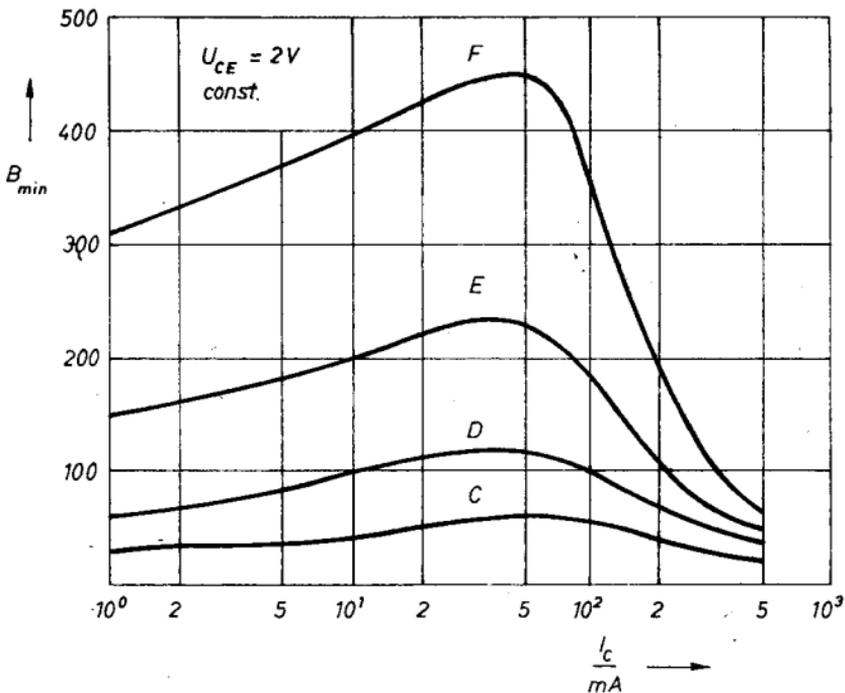


Bild 2.5 Die Stromverstärkungsgruppe für die Endtransistoren wird für  $I_C = 50$  mA festgelegt. Das Diagramm zeigt, daß die Stromverstärkung zu anderen  $I_C$ -Werten abnimmt, was praktisch beachtet werden muß

Für Bild 2.3 und Bild 2.4 heißen die entsprechenden Gleichungen:

$$R_{C \max} = 0,7 \frac{|U_S| - 1 \text{ V}}{|U_S|} R_L B_{\min}, \quad (2)$$

$$R_{B \max} = 0,7 \frac{|U_1| - 1,2 \text{ V}}{|U_S| - 1 \text{ V}} R_C b_{\min}. \quad (3)$$

Die Faktoren 0,5 bzw. 0,7 berücksichtigen den Einfluß der niedrigen Kollektorspannung im durchgeschalteten Zustand sowie der Temperatur.

Eine rein ohmsche Last wird selten vorkommen. Bei Lautsprechern ist  $R_L$  mit 70 % des Scheinwiderstandswerts anzusetzen; es treten Abschaltspitzen in der Größenordnung von 50 V auf. Das ist bei der Transistorauswahl ( $U_{CE}$ ) zu beachten oder mit einer Freilaufdiode zu verhindern. Der Typ SY 345/1 wird allen Erfordernissen der Praxis gerecht. Bilden Glühlampen die Last, ist der Tatsache, daß der Kaltwiderstand rund 10 % des Warmwiderstands beträgt, Rechnung zu tragen. Man kann die Lampe mit einem Parallelwiderstand zur Kollektor-Emitter-Strecke vorheizen (Richtwert 100  $\Omega$ ). Den erheblichen zusätzlichen Stromverbrauch kann man praktisch aber meist vermeiden, wenn man nur den Basisstrom und somit Kollektorstrom des Endtransistors begrenzt. Man benutzt dazu die Schaltungen nach Bild 2.3 und Bild 2.4 und dimensioniert ( $U_{\text{nenn HL}}$ ,  $I_{\text{nenn HL}}$  . . . Nennbetriebsspannung bzw. -strom der Lampe HL):

$$U_{\text{nenn HL}} \geq U_S - 0,5 \text{ V}, \quad (4)$$

$$R_{C \text{ min}} = 0,7 \frac{U_S B_{\text{max}}}{1 \text{ A}}, \quad (5)$$

$$R_{C \text{ max}} = 0,7 \frac{U_S - 0,5 \text{ V}}{I_{\text{nenn HL}}} B_{\text{min}}. \quad (6)$$

Der maximale Kollektorspitzenstrom ist für die angeführten Endtransistoren 1 A; bei anderen Transistoren ist dieser Wert in Gl. (5) zu korrigieren.

$R_{B \text{ max}}$  wird nach Gl. (3) ermittelt.

Wird für die erhaltenen Maximalwerte der nächstliegende gängige Widerstandswert eingesetzt, ist die Übersteuerung nur (1 . . . 2,5)fach. Das bedeutet für den Endtransistor hohe Kollektor-Emitter-Restspannung, und somit hohe Verlustleistung. Bei 5facher Übersteuerung ist die Restspannung sehr gering und läßt sich durch weiteres Übersteuern nicht wesentlich senken. Man sollte daher die verwendeten Werte mit 20 % des errechneten Maximalwerts wählen. Für minimalen Ruhestrom ist ein Widerstand von etwa 2 k $\Omega$  parallel zur Basis-Emitter-Strecke des Endtransistors zu schalten.

## 2.2. Schnelle Schaltstufen

Bild 2.6 zeigt, wie die Schaltzeiten definiert werden. Es bedeuten

$t_d$  – Verzögerungszeit,

$t_r$  – Anstiegszeit,

$t_s$  – Speicherzeit,

$t_f$  – Abfallzeit.

Die Summe von  $t_d$  und  $t_r$  ist die Einschaltzeit  $t_{on}$ , die Summe von  $t_s$  und  $t_f$  die Ausschaltzeit  $t_{off}$ .

Je höher Basis- bzw. Kollektorstrom bei gegebenem Übersteuerungsfaktor, um so kürzer werden diese Zeiten. Weiterhin sind  $t_r$  und  $t_f$  direkt proportional zum Stromverstärkungsfaktor und indirekt proportional zur Grenzfrequenz des Transistors.

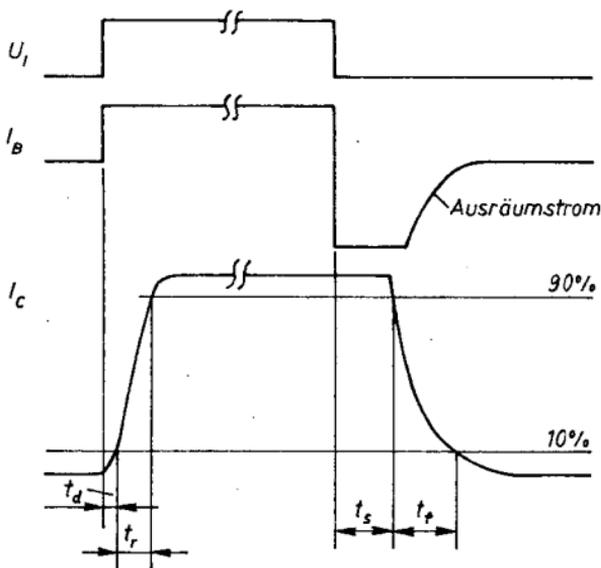


Bild 2.6  
Definition der  
Transistor-  
Schaltzeiten

Das ist bei der Transistorauswahl und statischen Dimensionierung zu berücksichtigen. In Tabelle 2.4 sind die wichtigsten Daten von Transistoren für Schaltanwendungen zusammengestellt.

Tabelle 2.4

Daten der Si-npn-Planar-Epitaxie-Transistoren SS 216 bis SS 219

Grenzwerte

$U_{CE0}$  in V 15

$I_C$  in mA 100

$I_B$  in mA 20

Statische Kennwerte

$U_{CE\text{sat}} < 0,45$  V bei  $I_B = 3$  mA,  $I_C = 30$  mA

B (Gruppe B, C, D) bei  $U_{CE} = 0,5$  V,  $I_C = 30$  mA

Dynamische Kennwerte

$f_T \geq$  MHz bei  $U_{CE} = 10$  V,  $I_C = 5$  mA

$t_{on}$  bei  $I_C 30/10$  mA,  $I_B = 3/-1,5$  mA,  $R_L = 220 \Omega$

SS 216  $\leq 100$  ns, SS 218  $\leq 35$  ns, SS 219  $\leq 35$  ns

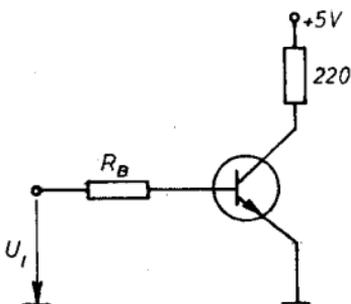
$t_{off}$  bei  $I_C = 10$  mA,  $I_B = 3/-1,5$  mA,  $R_L = 220 \Omega$

SS 216  $\leq 500$  ns, SS 218  $\leq 60$  ns, SS 219  $\leq 30$  ns

Mit der Schaltung nach Bild 2.7 werden die dort angegebenen Werte für  $t_{on}$  erreicht.

Soll  $t_{on}$  gering sein, muß der Transistor übersteuert werden. Soll  $t_{off}$  klein sein, muß man ein Übersteuern vermeiden. Dieses Problem führt zu Zusatzbeschaltungen. Die Meßschaltungen der Hersteller benötigen z. B. eine der Betriebsspannung entgegengesetzt gepolte Hilfsspannung.

In der Praxis durchgesetzt hat sich der ebenso einfache wie wir-



SS 216...219

$$R_B = \frac{U_i - 0,6V}{3mA}$$

Bild 2.7

Konventionelle Schaltstufe. Ein Basisstrom von 3 mA ist bei den gegebenen Lastverhältnissen optimal für kürzeste Schaltzeiten

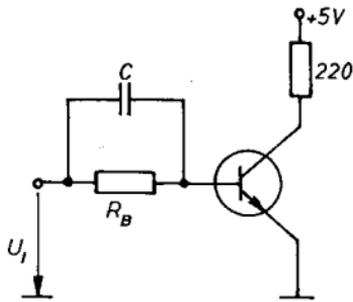


Bild 2.8

Schaltstufe mit dynamischer Übersteuerung. Starke statische Übersteuerung ist zu vermeiden und daher der Lastkreis ( $b_{\min}$ ,  $I_C \approx 20 \text{ mA}$ ) in die Dimensionierung einzubeziehen

$$R_B = \frac{U_I - 0,6V}{20 \text{ mA}} b_{\min}$$

kungsvolle Schaltungstrick mit  $C$  in Bild 2.8. Dieser Kondensator schließt  $R_B$  im Umschaltmoment kurz und sorgt daher

- für ein Übersteuern nur im Einschaltmoment und
- für ein beschleunigtes Ausräumen der Ladung des Transistor-Basisraums.

Man dimensioniert [1]:

$$C = \frac{b_{\min} I_{C \max}}{2f_T U_I} \quad (7)$$

Die Schaltfolgefrequenz  $f$  darf nicht beliebig groß sein, da  $C$  sonst bis zum nächsten Umschalten nicht ausreichend entladen ist:

$$f \leq \frac{1}{4 C R_B} \quad (8)$$

In der Praxis ergeben sich ab 100 kHz Probleme. Will man diese vermeiden, kann man auf die Schaltung nach Bild 2.9 ausweichen. Sie erlaubt Übersteuerung, ohne daß der Transistor in die Sättigung kommt.

Mit den gezeigten Zusatzbeschaltungen werden also  $t_{on}$  und  $t_s$  gesenkt. Die erreichten Schaltzeiten für alle drei Vorschläge sind in Tabelle 2.5 angegeben. Die speisende Quelle war ein Standard-TTL-Gatter, der Transistortyp SS 219 C, und gemessen wurde mit einem Tastkopf ( $C_e \approx 15 \text{ pF}$ ).

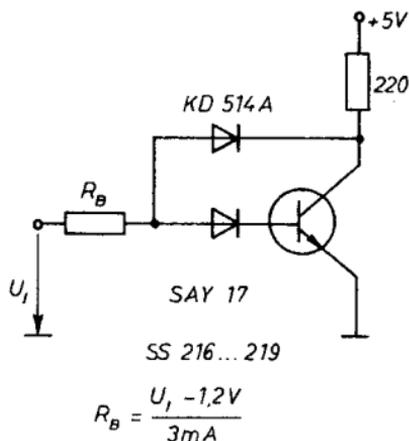


Bild 2.9  
Schaltstufe in Kollektor-Fangschaltung mit *Schottky*-Diode. Bei der Berechnung des optimalen Basisstroms sind 2 Flußspannungen zu berücksichtigen

Tabelle 2.5

Experimentell ermittelte Schaltzeiten der einzelnen Grundschaltungen

Bild	$t_{on}$ in ns	$t_{off}$ in ns	Bemerkungen
2.7	25	55	$R_B = 1,3 \text{ k}\Omega$
2.8	25	15	$R_B = 13 \text{ k}\Omega, C = 470 \text{ pF}$
2.9	25	25	$R_B = 1 \text{ k}\Omega$

### 2.3. Leistungsschaltstufe mit Abfallverzögerung

Als Applikationsbeispiel für eine Transistorschaltstufe wurde die Schaltung nach Bild 2.10 ausgewählt [2]. Sie ist TTL-kompatibel. Liefert die Logik nur einen kurzen Impuls, so kann es vorkommen, daß elektromechanische Relais wegen der hohen Einschaltverzögerung nicht exakt reagieren.

Daher wird eine Abfallverzögerung vorgesehen, für die mit großer Toleranz gilt:

$$t_v [\text{ms}] \approx 3 C_X [\mu\text{F}]. \quad (9)$$

Da der Endtransistor nicht abrupt durchschaltet, ist  $I_C$  auf 360 mA zu begrenzen.

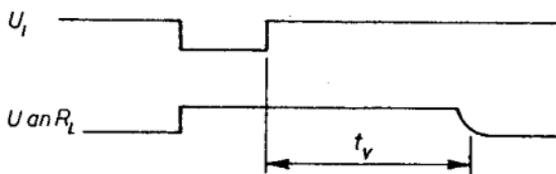
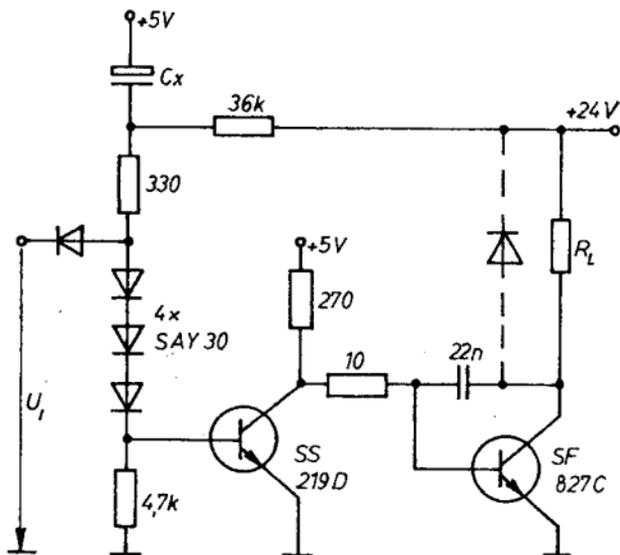


Bild 2.10  
Schaltverstärker mit  
Abfallverzögerung

### 3. Impulsbeeinflussung

Die Forderung, eine Impulsfolge oder einen Impuls auf verschiedene Weise zu beeinflussen, steht in der Digitaltechnik häufig. Meist wird eine Regenerierung gewünscht, nachdem die Impulsfolge oder der Impuls eine Übertragungsstrecke durchlaufen hat.

#### 3.1. Impuls-Pausenverhältnis

Das Impuls-Pausenverhältnis kann mit einem Monoflop auf einen beliebigen Wert festgelegt werden. Ist eine Frequenzteilung zulässig oder gewünscht und soll das Impuls-Pausenverhältnis exakt 1 betragen, wird ein D- oder JK-Flipflop eingesetzt (Bild 3.1).

1/2 DL 074D (S/R an  $U_{cc}$ )    1/2 DL 112D (R/S an  $U_{cc}$ )  
1/2 V 4013D (S/R an  $U_{SS}$ )    1/2 V 4027 (S/R an  $U_{SS}$ )

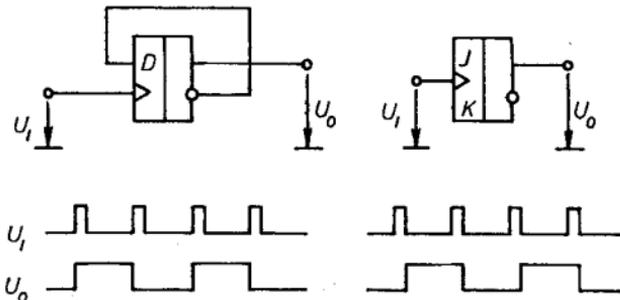


Bild 3.1 2 Möglichkeiten, ein Impuls-Pausenverhältnis von 1 zu erzeugen

## 3.2. Verkürzung, Verlängerung

Einen Impuls um eine von sonstigen Bedingungen unabhängige Zeit zu verkürzen bzw. zu verlängern ist z.B. bei der Signalregenerierung erforderlich. Mit 2 CMOS-Gattern läßt sich sowohl das eine als auch das andere leicht realisieren (Bild 3.2 und Bild 3.3).

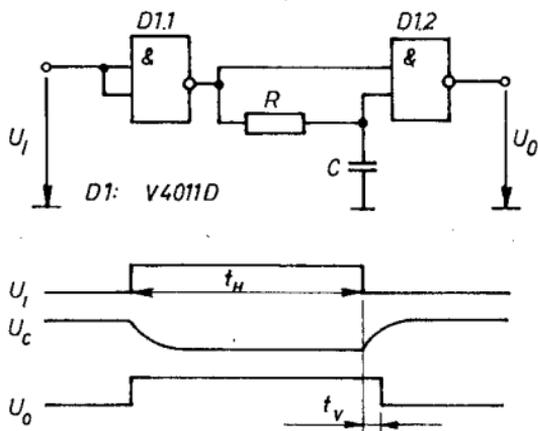


Bild 3.2  
Impulsverlängerung

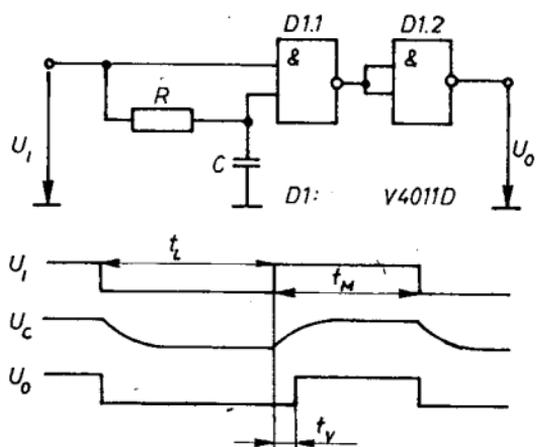


Bild 3.3  
Impulsverkürzung

Es gilt

$$t_V = 0,7 R C \quad (10)$$

mit der Bedingung  $t_L \geq 5 R C$  (Verkürzung) bzw.  $t_H \geq 5 R C$  (Verlängerung). Bei  $R C \geq 10 \mu s$  ist der Typ 4093 einzusetzen, wobei dann

$$t_V \approx R C \quad (11)$$

gilt. Kleine Verzögerungszeiten lassen sich nicht erreichen, da der Einfluß von Ausgangswiderstand und Eingangskapazität der Gatter besteht. Soll dieser Einfluß zu vernachlässigen sein, ist  $R \geq 10 k\Omega$  und  $C \geq 100 pF$  einzuhalten. Für  $R = 1,5 M\Omega$  gilt  $t_V [ms] \approx C [nF]$  bzw.  $t_V [\mu s] \approx C [pF]$ .

### 3.3. Verzögerung

Eine Impulsverzögerung ist in der Praxis oft notwendig, wenn bei verschiedenen Signalen eines größeren Systems Laufzeitunterschiede zu kompensieren sind. Es macht sich dann erforderlich, entweder einzelne Signale und/oder den Systemtakt zu verzögern.

Eine einfache Möglichkeit besteht in der Kettenschaltung von Gattern. Bei TTL-Gattern ist im Interesse minimaler Impulsbreitenbeeinflussung stets eine gerade Anzahl zu verwenden. Bei CMOS besteht diese Forderung nicht. Tabelle 3.1 nennt die typischen Verzögerungszeiten. Durch zusätzliche Lastkapazi-

Tabelle 3.1

Typische Verzögerungszeiten von 2, hintereinandergeschalteten NAND-Gattern

Typ	$t_V$ in ns	$U_{DD}$ in V	Bedingung
Standard-TTL	18		
LS-TTL	19		
Standard-CMOS	60	5	
	50	10	$\theta_A = 25^\circ C$
	25	15	$C_L = 10 pF$

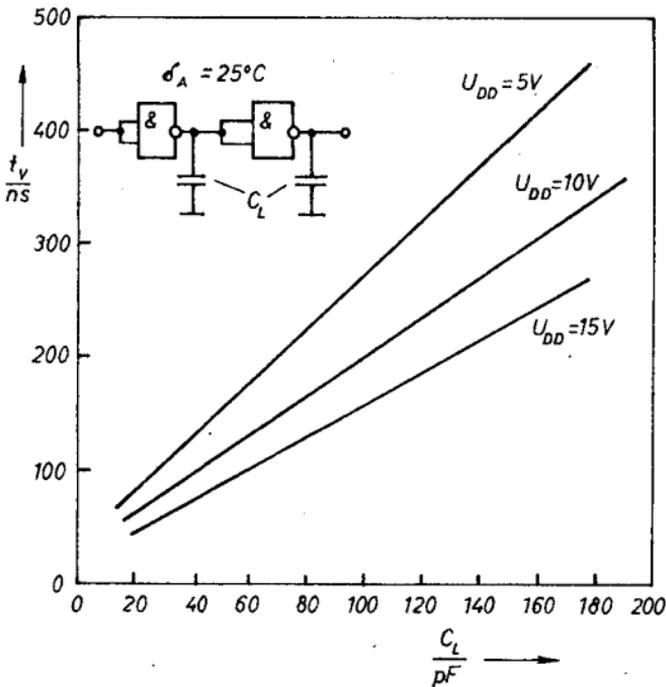


Bild 3.4 Impulsverzögerung mit zusätzlichen Lastkapazitäten

täten kann  $t_v$  vergrößert werden. Hierbei ergeben sich bei TTL Schwierigkeiten, da wegen des niedrigen Ausgangswiderstands große Kapazitäten erforderlich werden. Bild 3.4 zeigt die Verzögerungszeit von 2 Standard-CMOS-NAND-Gattern, deren Ausgänge mit gleichen Lastkapazitäten  $C_L$  beschaltet sind, wobei das Ausgangssignal ebenfalls auf einen CMOS-Eingang gelangt. Bei CMOS ist aber eine Lastkapazität von höchstens 5 nF einzuhalten. Mit einem Widerstand kann  $t_v$  weiter vergrößert werden (Bild 3.5). Dabei gilt Gl. (10) mit den entsprechenden Bedingungen und zugeschnittenen Größengleichungen.

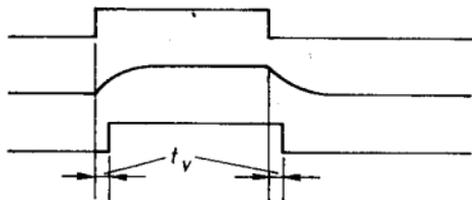
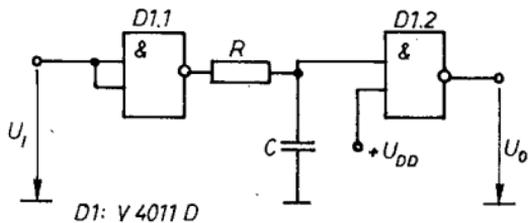


Bild 3.5  
Impulsverkürzung  
mit RC-Glied

### 3.4. Synchronisation

Wenn ein Signal innerhalb des Systems verarbeitet wurde, kommt es zu einer Verzögerung gegenüber dem Takt. Damit die Flanken wieder zeitlich zusammenfallen, muß synchronisiert werden. Hierzu genügt ein D-Flipflop (Bild 3.6). Bei der Synchronisation kann der Impuls im ungünstigsten Fall um die Zeit einer Taktperiode verlängert oder verkürzt werden.

1/2 DL 074 D (S/R an  $U_{CC}$ )

1/2 V 4013 D (S/R an  $U_{SS}$ )

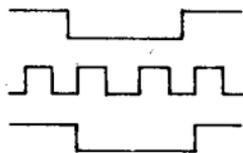
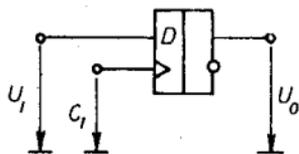


Bild 3.6  
Impulssynchronisation

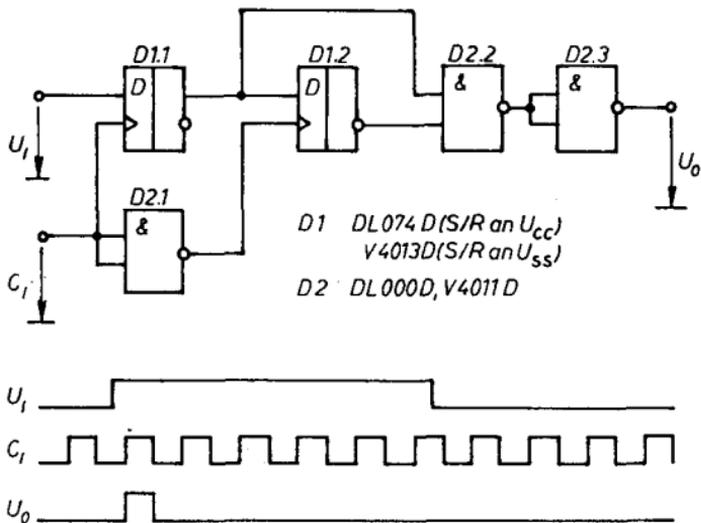


Bild 3.7 Ausblendung eines H-Impulses

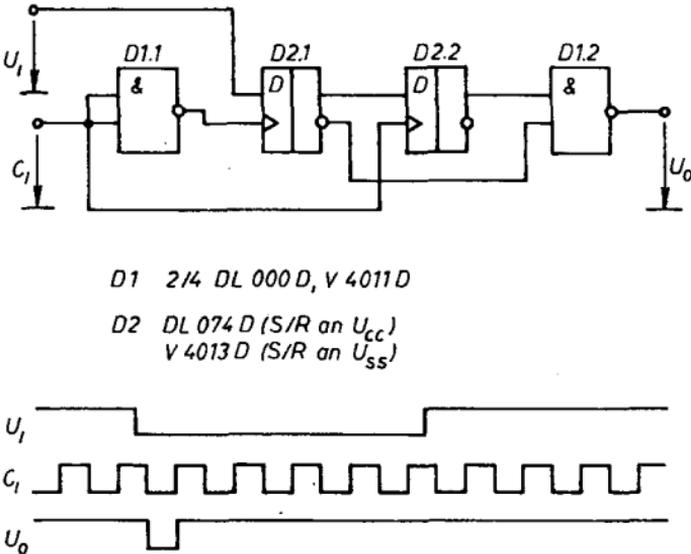


Bild 3.8 Ausblendung eines L-Impulses

### 3.5. Ausblendung

Unter Impulsausblendung ist das Herausgreifen eines bestimmten Impulses aus einer Impulsfolge zu verstehen. Dazu muß ein Auslösesignal gegeben werden. Die Schaltungen in den Bildern 3.7 und 3.8 entstanden nach [3].

Als Auslösesignal dient für den positiven Impuls eine LH-, für den negativen Impuls eine HL-Flanke. Damit wird das Ausblenden eingeleitet, das dann selbständig und unabhängig vom weiteren Verlauf des Auslösesignals abläuft.

### 3.6. Flankenversteilerung

Ist die Flankensteilheit des Signals kleiner als der in Tabelle 3.2 angegebene Wert, können ein nichtinvertierendes Gatter oder 2 NAND-Gatter eingesetzt werden. Solange die Ausgangsflanke die systemeigene Steilheit noch nicht erreicht hat, beträgt die Versteilerung im ersten Fall 10, im zweiten Fall 100. Bei kleinerer Flankensteilheit sind *Schmitt*-Trigger-Schaltkreise zu verwenden.

Tabelle 3.2

Zulässige Flankensteilheit der Eingangssignale für CMOS-Schaltkreise und TTL-Gatter (Impulsflankendauer 10 bis 90 % bzw. 90 bis 10 %, Mindeststeilheit im Gebiet des Umschaltpunkts)

Typ	maximale Impulsflankendauer in $\mu\text{s}$	Mindeststeilheit in $\text{V}/\mu\text{s}$
Standard-CMOS	15	
CMOS 74HC	0,5	
Standard-TTL		0,5
LS-TTL		1

## 4. Interface-Schaltungen

Interface-Schaltungen setzen die für digitale Schaltkreise typischen Signalspannungen und -ströme in systemfremde Bereiche um. Besonders die Pegelwandlung ist in der Praxis oft erforderlich, damit unterschiedliche Schaltkreise zusammenarbeiten können.

### 4.1. Kopplung unterschiedlicher TTL-Familien

Die Kopplung ist ohne Zusatzmaßnahmen möglich. Die Tabelle 4.1 gibt die zulässige Anzahl der angeschlossenen Eingänge an.

*Tabelle 4.1*

Anschlußbedingungen der TTL-Reihen untereinander, bezogen auf Standard-Gatter

TTL-Familie	Höchstzulässige Anzahl von Eingängen an 1 Gatter-Ausgang			
	D/E 10	DL	D 20	DS
D/E 10	10	20	8	8
DL	5	20	4	4
D 20	12	50	10	10
DS	12	50	10	10

Bei Leistungsgattern verdreifachen sich die Werte. Werden die Ausgänge nur zu 50 % ausgelastet, sinkt die Ausfallrate gegenüber Maximalauslastung auf 10 bis 50 %.

### 4.2. Kopplung TTL – CMOS

Wird ein CMOS-Eingang ohne zusätzliche Maßnahmen an den Totem-pole-Ausgang eines TTL-Gatters geschaltet, kann der H-Pegel den erforderlichen Wert nicht erreichen. Es ist daher

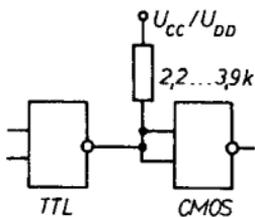


Bild 4.1  
Kopplung TTL–CMOS bei gleicher  
Betriebsspannung (+5 V)

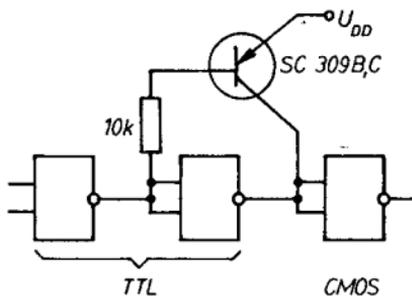


Bild 4.2  
Verbesserte Kopplung TTL–CMOS

nach Bild 4.1 ein Widerstand vorzusehen, der für alle TTL-Familien einwandfreie H-Pegel garantiert. Der statische Störabstand ist jedoch gering. Er kann nach Bild 4.2 wesentlich erhöht werden. Eine weitere Steigerung ist nur durch eine höhere Betriebsspannung für den CMOS-IS möglich. Dann muß die TTL-Seite einen Open-collector-Ausgang aufweisen (Bild 4.3). Ist das nicht möglich, kann eine Transistorstufe nach Bild 4.4 zwischengeschaltet werden, die das Signal invertiert. Bei hohen Signalfrequenzen sind bei allen Schaltungen die kleinstmöglichen Widerstandswerte einzusetzen.

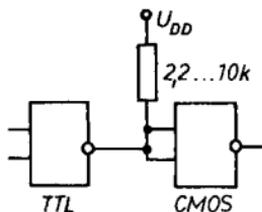


Bild 4.3  
Kopplung TTL (mit Open-collector-Ausgang)–CMOS ( $U_{CC} \geq 5$  V)

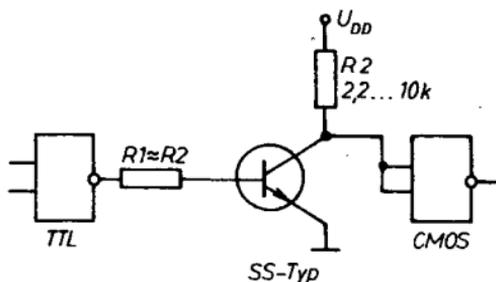


Bild 4.4  
Kopplung TTL-  
CMOS mit Transistor-  
stufe

### 4.3. Kopplung Treiber-IS – CMOS

Für die digitale Signalverarbeitung unter prozeßnahen Bedingungen sind die beiden Treiber-IS *D 420 D* und *E 412 D* bevorzugt zu verwenden. Durch ihre Schutzwirkung wird der Einsatz von IS anderer Logikfamilien auf der prozeßnahen Ebene möglich. So können ökonomische Lösungen bei hoher Störsicherheit und Zerstörfestigkeit sichergestellt werden.

Die genannten Schaltkreise sind für den Übergang auf andere Logiksysteme ausgelegt. Der *D 410 D* kann speziell CMOS-Bauelemente ansteuern. Der *E 412 D* ist auch für die Ansteuerung der verschiedenen TTL-Familien geeignet.

Bild 4.5 zeigt das Prinzip des Interface-Einsatzes [4]. Im Eingangs-Gatter wird eine Vorverknüpfung vorgenommen. Die logischen Pegel gewährleisten hohe statische Störsicherheit. Die

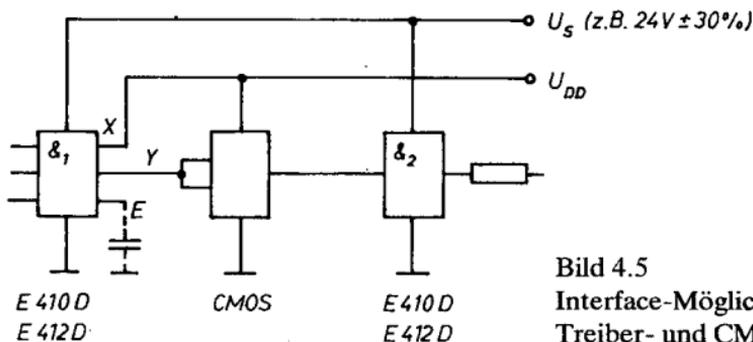


Bild 4.5  
Interface-Möglichkeit für  
Treiber- und CMOS-IS

interne Signalverzögerung sorgt für einen dynamischen Störschutz. Der Zerstörerschutz in Verbindung mit den Schutzwiderständen erstreckt sich auch auf das CMOS-Gatter. Die Pegelanpassung wird einfach durch Verbinden des Anschlusses X mit der CMOS-Betriebsspannung  $U_{DD}$  realisiert.

#### 4.4. Kopplung CMOS – TTL

An einen CMOS-Ausgang kann ein LS-TTL-Eingang bei Gewährleistung pegelgerechter Arbeitsweise angeschlossen werden. Sollen mehrere Eingänge oder Standard-TTL betrieben werden, sind CMOS-Treiber vorzusehen. Die Typen *V 40098 D* und *V 4050 D* können maximal 24 LS- oder 6 Standard-TTL-Eingänge ansteuern.

#### 4.5. Hohe Eingangsspannungen

Bei der Dimensionierung des Spannungsteilers nach Bild 4.6 ist zu beachten, daß  $R_2$  im Interesse eines guten statischen Störabstands bei L-Pegel nicht zu groß werden darf: Für normale TTL gelten  $150 \Omega$ , für LS-TTL  $470 \Omega$  als Maximalwert. Gibt man  $R_2$  und die H-Eingangsspannung am Gatter  $U_{IH}$  vor, so folgt:

$$R_1 = \frac{R_2 U_I}{U_{IH}} - R_2. \quad (12)$$

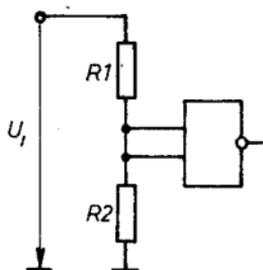


Bild 4.6  
Anpaßschaltung für hohe Eingangsspannungen

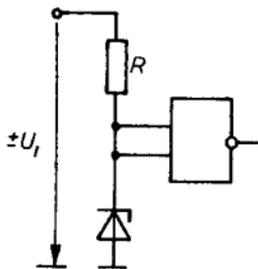


Bild 4.7  
Anpaßschaltung mit Z-Diode

Liegt  $U_{IH}$  nahe der Betriebsspannung des Gatters, ist mit dem toleranzbedingtem  $R_{2 \max}$  zu rechnen und für  $R_1$  ein Normwert zu wählen. Dieser muß bei Berücksichtigung der Toleranz garantieren, daß der errechnete Wert nicht unterschritten wird. Die Schaltung nach Bild 4.7 gestattet die Verarbeitung hoher positiver und negativer Eingangsspannungen.  $U_{IH}$  entspricht dabei der Z-Spannung  $U_Z$ . Für die Festlegung von  $R$  gelten 2 Bedingungen, die den Wertebereich in einer Richtung einschränken:

$$R \leq \frac{+U_I - U_Z}{5 \text{ mA}}, \quad (13)$$

$$R \leq \frac{|-U_I| - |0,6 \text{ V}|}{5 \text{ mA}}. \quad (14)$$

Für kleine Frequenzen kann bei Gl. (14) auch ein kleinerer Wert als 5 mA eingesetzt werden.

Bei der Schaltung nach Bild 4.8 wird die Eingangsspannung begrenzt.

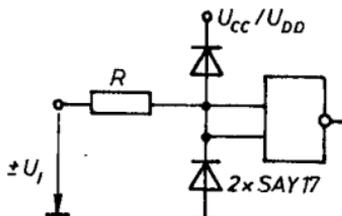


Bild 4.8  
Anpaßschaltung mit Klemmdiode

Es gilt Gl. (14) sowie

$$R \leq \frac{+U_I - U_{CC/DD}}{5 \text{ mA}} \quad (15)$$

Bei den beiden Schaltungen kommt es zu einer (zulässigen) Pegelüberschreitung von 0,6 V.

#### 4.6. Niedrige Eingangsspannungen

Geringe Signalspannungen können mit einer Transistorstufe in Emitterschaltung auf den erforderlichen Pegel gebracht werden (Bild 4.9). Die positive Amplitude muß dabei deutlich höher als 0,6 V sein.

Wo dies nicht der Fall ist, muß ein Komparator eingesetzt werden. Zu diesem Zweck bieten sich die TTL-kompatiblen Operationsverstärker mit Open-collector-Ausgang an. Bei ihrer Anwendung ist zu beachten, daß die Eingangsspannung um 0,8 V unter der oberen und über der unteren Betriebsspannung bleiben muß. Das zwingt bei der Verarbeitung massebezogener Eingangsspannungen zu Kompromissen. Eine erste Möglichkeit zeigt Bild 4.10. Sie ist für einen Eingangsspannungshub  $\Delta U_I \geq 50 \text{ mV}$  geeignet, wobei aber statische Signale nicht richtig verarbeitet werden. Die Signalfrequenz sollte über 500 Hz liegen. Wird eine Betriebsspannung über 5 V verwendet (CMOS-Gatter), ist durch Umdimensionieren des Spannungsteilers eine Spannung von 2,5 V am Elektrolytkondensator sicherzustellen. Es sind Widerstände aus der Reihe E24 zu verwenden.

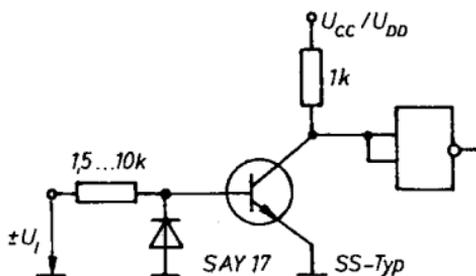


Bild 4.9  
Transistorstufe für kleine  
Eingangsspannungen

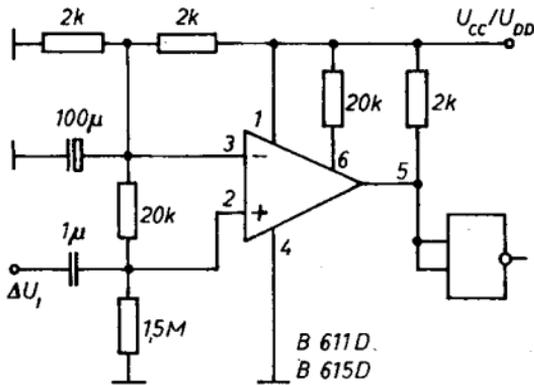


Bild 4.10  
Komparatorschaltung  
für kleine Eingangs-  
spannungen

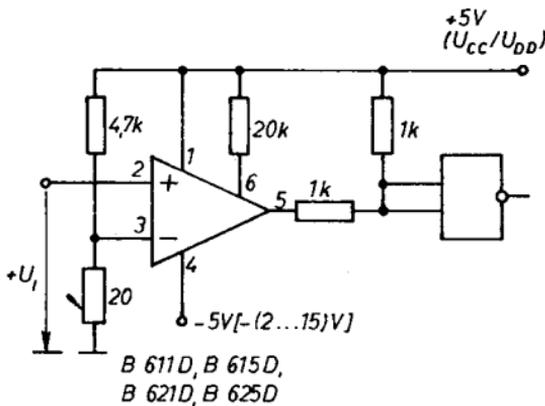


Bild 4.11  
Komparatorschaltung  
mit Hilfsspannung

Die Schaltung nach Bild 4.11 verarbeitet massebezogene positive Signalspannungen  $\geq 50$  mV beliebiger Periodendauer. Zur Anpassung des Gatters wird die Ausgangsspannung geteilt. Bei Gattern vom TTL-Typ müssen die Widerstände verkleinert werden, damit der bei L-Zustand herausfließende Strom (normale TTL: 1,6 mA, LS-TTL: 0,4 mA) ohne Einfluß bleibt. Für invertierenden Betrieb können die Operationsverstärkereingänge vertauscht werden.

Während die Transistorstufe bis in den MHz-Bereich hinein einsatzfähig ist, können die beiden Operationsverstärker-Schaltungen in Abhängigkeit von der Eingangsspannung (Übersteuerung) und der geforderten Impulsbreitenbeeinflussung bis ungefähr 100 kHz eingesetzt werden.

## 5. Schmitt-Trigger

Die Schmitt-Trigger-Gatter *V 4093 D* und *DL 014 D* haben feste Schaltschwellen. Sie fordern daher etwa normgerechte Pegel. Wird diese Bedingung nicht erfüllt oder werden bei der Impulsregenerierung ganz bestimmte Schaltschwellen verlangt, kann man die folgenden Schaltungen benutzen. Sie zeichnen sich dadurch aus, daß die Schaltschwellen unabhängig voneinander festgelegt werden können.

### 5.1. Schmitt-Trigger mit CMOS-Gattern

In der Schaltung nach Bild 5.1 wird die untere Schaltschwelle  $U_{I1}$  durch  $R_1$  bestimmt:

$$R_1 = \frac{(0,5 U_{DD} - 0,6 \text{ V}) \text{ k}\Omega}{0,5 U_{DD} - U_{I1}} \quad (16)$$

Die obere Schaltschwelle  $U_{I2}$  wird durch  $R_2$  festgelegt:

$$R_2 = \frac{(0,5 U_{DD} - 0,6 \text{ V}) \text{ k}\Omega}{U_{I2} - 0,5 U_{DD}} \quad (17)$$

Beide Gleichungen sind deshalb so einfach, weil der Eingangswiderstand mit  $1 \text{ k}\Omega$  festgelegt wurde. Es kann ein größerer Wert gewählt werden, wenn man die errechneten Werte für  $R_1$  und  $R_2$  proportional vergrößert. Die Schaltverzögerung kann dadurch allerdings auch größer werden.

Beim praktischen Einsatz dieser Schaltung sollte man sich vergewissern, daß die Eingangsspannung für D1.1 genügend weit vom Umschaltunkt entfernt bleibt.

Anderenfalls kann es bei hoher  $U_{DD}$  zu unzulässiger Leistungsaufnahme kommen.

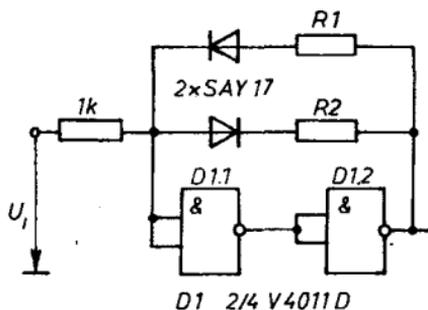


Bild 5.1  
Nichtinvertierender Schmitt-  
Trigger mit CMOS-Gattern

## 5.2. Schmitt-Trigger mit Operationsverstärkern

Bei der Dimensionierung der Schaltung nach Bild 5.2 geht man von der Hysterese aus:

$$R = U_{I2} - U_{I1}, \quad (18)$$

( $R$  in  $k\Omega$ ;  $U_{I2}$ ,  $U_{I1}$  in V).

Danach wird die Hilfsspannung  $U_H$  bestimmt:

$$U_H = \frac{U_{I1} + U_{I2}}{10 \text{ V} - U_{I2} + U_{I1}} 5 \text{ V}. \quad (19)$$

Für  $U_{I1} = 1 \text{ V}$  und  $U_{I2} = 2 \text{ V}$  erhält man z. B.  $R$  zu  $1 \text{ k}\Omega$  und  $U_H$  zu  $1,36 \text{ V}$ .

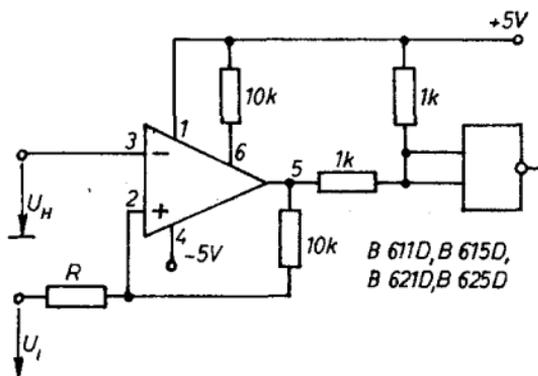
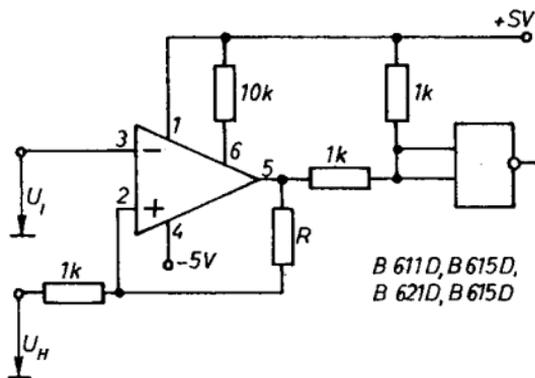


Bild 5.2  
Nichtinvertierender  
Schmitt-Trigger mit  
Operationsverstärker



**Bild 5.3**  
 Invertierender  
 Schmitt-Trigger mit  
 Operationsverstärker

Eine andere Schaltung, die sich durch hohen Eingangswiderstand und invertierende Wirkung auszeichnet, zeigt Bild 5.3. Es gelten folgende Dimensionierungsgleichungen:

$$R = \frac{10 \text{ k}\Omega}{U_{I2} - U_{I1}} - 1 \text{ k}\Omega, \quad (20)$$

$$U_H = \frac{U_{I1} + U_{I2}}{10 \text{ V} + U_{I1} - U_{I2}} 5 \text{ V}. \quad (21)$$

Wenn bei beiden Schaltungen  $U_H = 0 \text{ V}$  ist, liegen die Schwellen symmetrisch zu Masse. Für den praktischen Einsatz ist nach erfolgter Dimensionierung jeweils zu überprüfen, ob der schon erwähnte „Sicherheitsabstand“ durch die an den Operationsverstärkereingängen anliegenden Spannungen zu den Betriebsspannungen eingehalten wird. Da die Übersteuerung in der Praxis groß sein wird, sind diese Schaltungen nur bis etwa 100 kHz einsatzfähig.

## 6. Impulsgeneratoren

Impulsgeneratoren sind als Taktgeneratoren in digitalen Systemen unentbehrlich. Sie müssen sicher anschwingen, eine bestimmte Konstanz der Taktfrequenz gewährleisten und ein einwandfreies Ausgangssignal liefern. In der Digitaltechnik werden *RC*- und Quarzgeneratoren verwendet, je nachdem, welche Frequenztoleranz zulässig ist. Da nicht alle mit Standardbauelementen aufgebauten Schaltungen heutigen Anforderungen gerecht werden, wurden spezielle Systemtaktgeneratoren entwickelt und eingesetzt.

Die folgende Auswahl ermöglicht es, eine dem Verwendungszweck optimal angepaßte Schaltung aufzufinden.

### 6.1. RC-Generatoren

Einfache Generatoren können bereits durch ein Gatter mit *Schmitt*-Trigger-Eingang aufgebaut werden. Dabei ist die Reproduzierbarkeit von Frequenz und Tastverhältnis schlecht. Bessere Ergebnisse erzielt man mit etwas mehr Aufwand.

Die bekannte Schaltung nach Bild 6.1 liefert stets ein Impuls-Pausenverhältnis von 1. Ihre Frequenz ist für  $C > 1 \text{ nF}$  und  $R_2 > 10 \text{ k}\Omega$  mit der Formel

$$f = \frac{1}{2,2 R_2 C} \quad (22)$$

praktisch genau bestimmbar. Für  $R_2 C \geq 10 \mu\text{s}$  ist der *V 4093 D* einzusetzen; dann gilt Gl. (22) nur noch ungefähr. Sollen Elektrolytkondensatoren verwendet werden, sind 2 antiseriell zu schalten. Ein Eingang von D1.2 kann als Start-Stopp-Eingang benutzt werden. Sowohl beim Anlegen der Betriebsspannung als auch beim Starten kommt es zu einer verlängerten 1. Taktperiode.

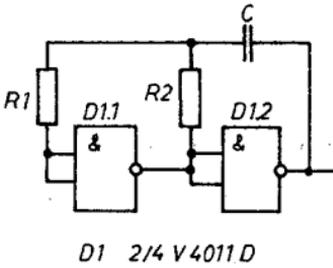


Bild 6.1 CMOS-Impulsgenerator. Am Verbindungspunkt der Widerstände tritt eine negative Spannung auf. Daher leiten die internen Schutzdioden von D1.1. Um den Einfluß auf die Frequenz zu eliminieren, ist  $R_1 \geq 10 R_2$  zu fordern

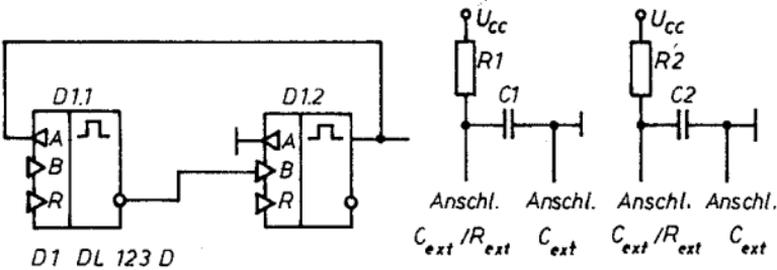


Bild 6.2 Impulsgenerator mit Monoflops

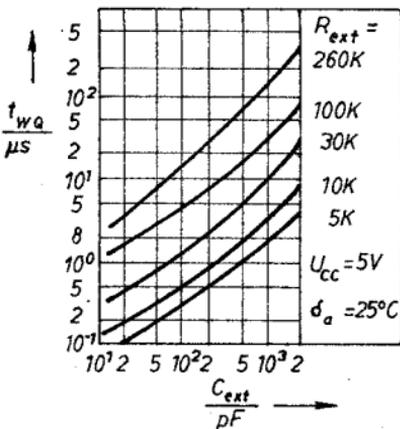


Bild 6.3 Haltezeit  $t_{wQ}$  als Funktion von  $C_{ext}$

Eine beliebige Festlegung des Taktverhältnisses erlaubt die Schaltung nach Bild 6.2. Die Haltezeit des Q-Ausgangs  $t_{wQ}$  wird nach der Formel

$$t_{wQ} = 0,45 R_{1(2)} \cdot C_{1(2)} \quad (23)$$

ermittelt. Hierzu gibt der Hersteller für  $R = 10 \text{ k}\Omega$  (1%) und  $C = 1 \text{ nF}$  (2%) allerdings einen Streubereich von 3,5 bis 5,5  $\mu\text{s}$  an. Die Erfahrungen besagen jedoch, daß diese Werte Ausnahmefälle sind und Gl. (23) allgemein mit guter Genauigkeit eingehalten wird. Es gilt dabei  $5 \text{ k}\Omega \leq R \leq 260 \text{ k}\Omega$  und  $C < 1 \text{ nF}$ . Bild 6.3 zeigt die Ergebnisse für kleinere Kapazitäten.

Während des Betriebs schwankt die Spannung am Kondensator zwischen 0,8 und 2,2 V. Stoppen kann man den Generator über einen Reset-Eingang (L). Nach Zurückschalten auf H-Pegel bleibt dann der zugehörige Ausgang Q für die Zeit  $t_{wQ}$  des korrespondierenden Monoflops auf L-Pegel. Wird mit verbundenen Reset-Eingängen gestartet oder die Betriebsspannung zugeschaltet, nehmen beide Q-Ausgänge zunächst H-Potential an. Das kann auch nicht verhindert werden, indem ein Monoflop mit steigender, das andere mit fallender Flanke getriggert wird. Der Vorteil des Generators ist seine Fähigkeit, in einem großen Frequenzbereich stabil zu arbeiten. Mit  $R_1 = R_2 = 5 \text{ k}\Omega$  und  $C_1 = C_2 = 200 \text{ pF}$  arbeitet er auf 1 MHz, mit der Kombination von je 240  $\text{k}\Omega$  und 4,7  $\mu\text{F}$  auf 1 Hz. Baut man nach diesem Prinzip eine Schaltung mit dem V 4538 D auf, können wegen der Einschränkungen für die Beschaltung nur Frequenzen bis 25 kHz erzeugt werden.

## 6.2. Quarzgeneratoren

Für digitale Meßgeräte sind Quarzgeneratoren unentbehrlich, denn nur sie bieten die geforderte Frequenzkonstanz. Aber auch in Mikrocomputern und einfachen digitalen Systemen sind sie Standard geworden.

Digitale IS bilden eigentlich keine optimale Basis für solche

Generatoren, da sie nicht für Verstärkeranwendungen geschaffen wurden. Trotzdem gibt es damit praktikable Lösungen. Sie sind in der Regel durch einen Inverter mit einem Widerstand zwischen Ein- und Ausgang gekennzeichnet. Dadurch wird der Arbeitspunkt im linearen Teil der Übertragungskennlinie gehalten. Das Ausgangssignal ist daher nicht ganz einwandfrei und muß mit einem weiteren Gatter geformt werden.

Die Schaltungen nach Bild 6.4 und 6.5 [5] können mit allen Gattern bzw. Invertern der LS-TTL-Reihe aufgebaut werden. Die Induktivität kann leicht mit einem kleinen Schalenkern hergestellt werden. Die Windungszahl  $N$  folgt aus dem  $A_L$ -Wert. Wenn eine Induktivität von 10 mH zugrunde gelegt wird, gilt:

$$N = \sqrt{10^7/A_L}. \quad (24)$$

Der  $A_L$ -Wert (dimensionslose Größe) ist die Induktivität, die sich bei 1 Windung ergibt. Für  $A_L = 1000$  sind 100 Windungen erforderlich (CuL-Draht 0,1 bis 0,3 mm Durchmesser). Weiterhin gilt:

$$C = 680 \text{ pF}/f, \quad (f \text{ in MHz}). \quad (25)$$

Ein bewährter 100-kHz-Generator wird in Bild 6.6 gezeigt. Kleinere Frequenzen werden durch Frequenzteilung erzeugt. (Quarze für geringe Frequenzen sind teuer und weniger konstant.) Die Schaltung liefert in einem weiten Betriebsspannungsbereich ein akzeptables Ausgangssignal mit einem Impuls-

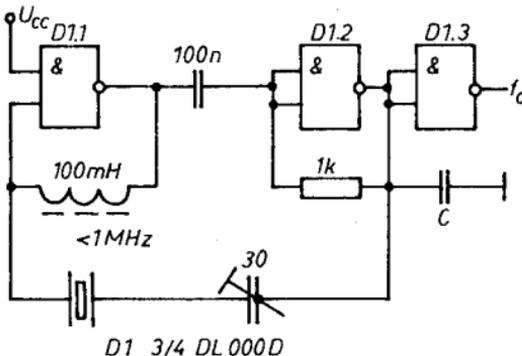


Bild 6.4  
Quarzgenerator für  
200 kHz bis 1 MHz

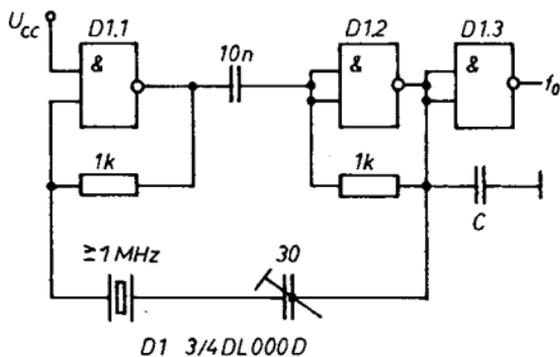


Bild 6.5  
Quarzgenerator für  
1 bis 5 MHz

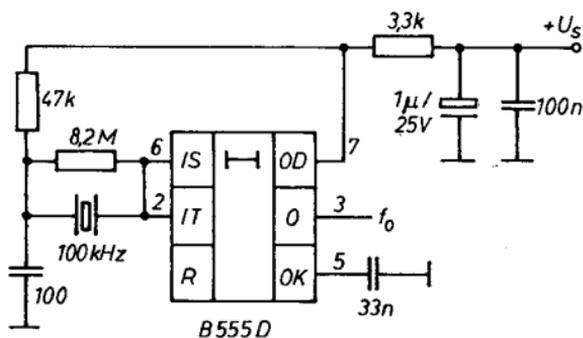


Bild 6.6  
100-kHz-Generator  
mit Timer-555  
(bei Änderung  
der RC-Beschaltung  
auch für höhere  
Frequenzen geeignet)

Pausenverhältnis von etwas mehr als 1. Ab etwa 13 V arbeitet sie nicht mehr stabil. Als Taktgenerator für eine 15-V-CMOS-Logik ist sie dennoch verwendbar, wenn man  $U_S$  durch 5 in Reihe geschaltete Si-Dioden verringert. Die Tabelle 6.1 zeigt, daß die Frequenz sowohl nach oben als auch nach unten „gezogen“ werden kann. Änderungen von  $\pm 30\%$  an der herkömmlichen RC-Beschaltung blieben ohne nachweisbaren Einfluß. Die Quarzgeneratorschaltung mit CMOS-Inverter und  $\pi$ -Glieder ist in der Literatur oft anzutreffen. Sie hat ihren Ursprung in längst vergessenen „ungepufferten“ CMOS-Zeiten. Wird sie mit einem gepufferten Inverter aus der Serie V 4000 nachvollzogen, so ergeben sich bei niedrigen Quarzfrequenzen Schwierigkeiten. Erst bei etwa 1 MHz arbeitet die Schaltung dann wirklich stabil. Darauf wird oft nicht hingewiesen. (Die Grenzfrequenz des aus-

Tabelle 6.1

Zum Quarzgenerator mit Timer-IS

$U_S$ in V	4	5	9	12
Stromaufnahme in mA	4	4,5	9	12
Frequenz mit Quarz 100 kHz (in kHz)	100,108	100,111	100,114	100,116
Frequenz mit Reihenkapazität 100 pF und Kondensator 15 pF zwischen Anschluß 2/6 und Masse (in kHz)	100,060	100,061	100,062	100,063

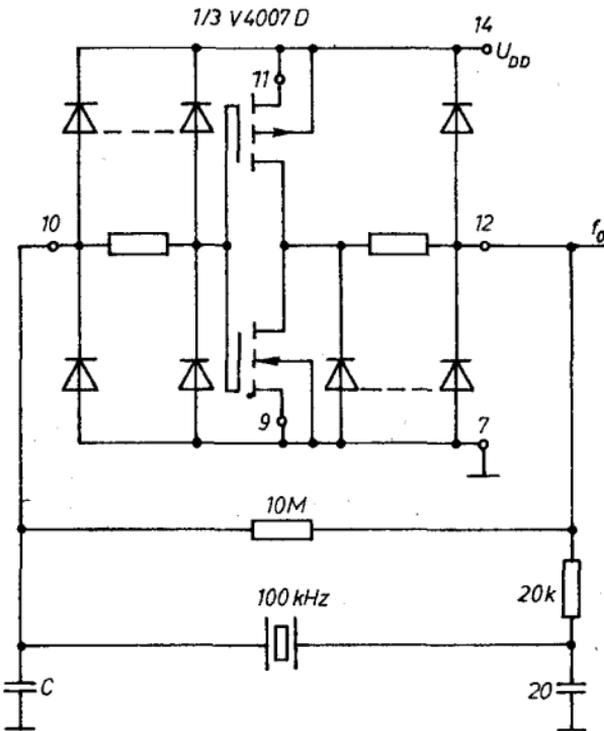


Bild 6.7 100-kHz-Generator mit Inverter aus V 4007 D

gangsseitig zur Unterdrückung von Oberwellenschwingungen des Quarzes angeordneten  $RC$ -Glieds liegt über 2 MHz!

Praktisch muß man jedoch auf diese sonst günstige Schaltung auch heute nicht verzichten, wenn man den im *V 4007 D* enthaltenen Inverter (oder eines der Transistorpaare) benutzt. Die entsprechende Schaltung zeigt Bild 6.7; Tabelle 6.2 vermittelt einen Eindruck von den Eigenschaften eines Musteraufbaus. Das Ausgangssignal ist einwandfrei, d. h., die Anstiegs- und Abfallzeiten sind sehr gering, es kommt aber zu keinem Überschwingen.

Als Systemtaktgeber speziell für die Systeme mit *U 8000* und *8086* (K 1810 WM 86) steht der *DL 8127 D* zur Verfügung.

Tabelle 6.2

Frequenzabhängigkeit des 100-kHz-Quarzoszillators mit CMOS-Inverter von der Betriebsspannung und von  $C$  (Werte in kHz)

$C$ in pF	$U_{DD}$ in V	3	5	9	15
10		100,095	100,103	100,108	100,109
20		100,068	100,080	100,088	100,090
30		100,054	100,069	100,077	100,079

Die Bilder 6.8 und 6.9 zeigen optimale Anschlußvarianten für den Quarz [6]. Obertonquarze (aufgedruckte Frequenz in MHz) sind nicht weniger frequenzstabil als Grundtonquarze (Frequenzangaben in kHz). Die Ausgangsspannung an Anschluß 8 kann auch bei dieser IS nicht normgerecht sein und muß dann geformt werden.

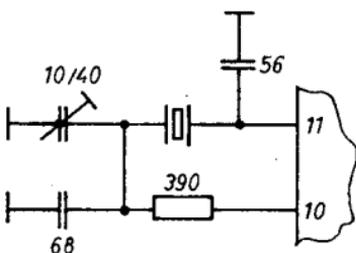


Bild 6.8  
Beschaltung des *D 8127 D* für  
Grundwellenquarze 4 bis  
20 MHz

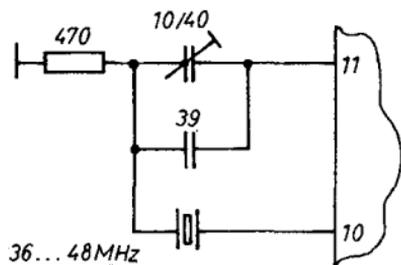
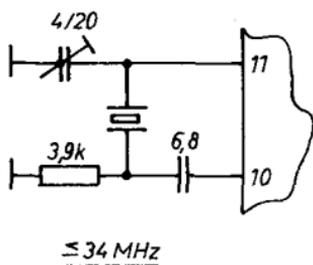
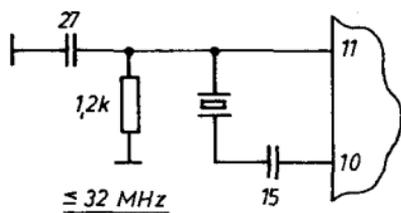
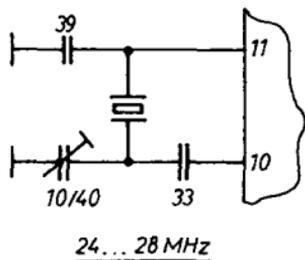


Bild 6.9 Beschtungsvarianten für Oberwellenquarze

## 7. Teiler und Verdoppler

Einen Puls zu teilen ist oft erforderlich und mit verschiedenen Mitteln möglich. Das Teilungsverhältnis kennzeichnet ein Frequenzverhältnis, wenn der ausgegebene Puls bei kontinuierlich eingegebenem Puls kontinuierlich verläuft, d.h. die Impulsabstände regelmäßig sind. Im anderen Fall kennzeichnet es ein Impulszahlenverhältnis.

Durch Verdoppeln und anschließendes Teilen mit einem Flipflop erreicht man ein Impuls-Pausenverhältnis von 1.

### 7.1. Teilung durch Vielfache von 2

Dazu können mehrere Teiler nach Bild 3.1 hintereinander geschaltet werden. Bei dieser asynchronen Betriebsweise kann bei einem eventuellen Dekodieren ein Fehler entstehen (Bild 7.1). Man benutzt daher und wegen des geringeren Aufwands besser einen Synchronzähler.

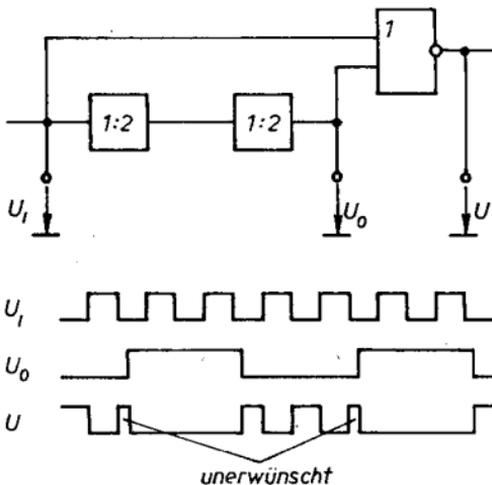


Bild 7.1  
Ein Nachteil asyn-  
chroner Teiler

## 7.2. Teilung durch ganzzahlige, ungerade Zahlen [5]

Hierbei nehmen Teilungsverhältnisse, die durch Subtraktion von 1 geradzahlig werden, eine Sonderstellung ein:

$1 : (2^n + 1)$ ,  $n$  beliebige ganze Zahl.

Sie werden mit teilsynchroner Ansteuerung nach Bild 7.2 realisiert. Für ein Teilungsverhältnis von 1:3 ist kein weiterer Aufwand erforderlich. Ausgang Q von D1.1 und der J-Eingang von D1.2 werden verbunden. Das entsprechende Taktdiagramm zeigt Bild 7.3. Die Möglichkeiten dieser Anordnung deutet Tabelle 7.1 an.

In den Fällen, die nicht mit den beschriebenen Verfahren lösbar

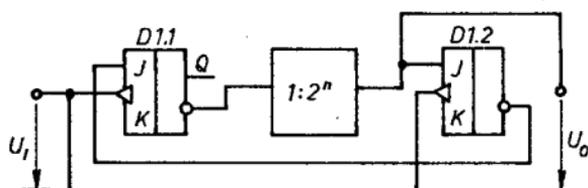


Bild 7.2 Grundschaltung für Teilverhältnisse von  $2^n + 1$  ( $n$  ganzzahlig, gerade oder ungerade)

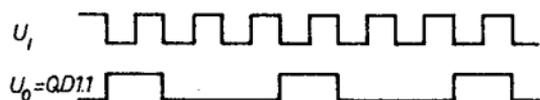


Bild 7.3  
Taktdiagramm für  
den Teiler 1:3

Tabelle 7.1

Möglichkeiten der Schaltung nach Bild 7.2

Teilverhältnis	$n$	$2^n + 1$	Insgesamt benötigte IS
1: 3	1	3	1
1: 5	2	5	1
1: 9	3	9	2
1: 17	4	17	2
1: 33	5	33	3
1: 65	6	65	3

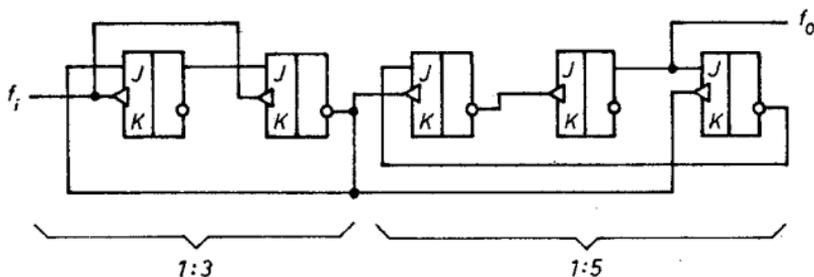


Bild 7.4 Teiler 1:15

sind, geht man folgenden Weg, der einen optimalen Aufwand erlaubt: Man zerlegt das Teilungsverhältnis in mehrere ungeradzahlige und eventuell geradzahlige Faktoren und schaltet die entsprechenden Teilerschaltungen hintereinander. So entsteht z.B. ein Teiler 1:15 durch Teiler 1:3 und 1:5 (Bild 7.4). In diesem Beispiel wird das vorgeteilte Signal vom Ausgang des 2. Flipflop abgenommen.

Bei Primzahlen höherer Ordnung, bei denen das Zerlegen nicht möglich ist, muß man 1 subtrahieren und dann den Rest zerlegen. So erhält man für die Primzahl 31 das Ergebnis  $(2 \cdot 15) + 1$ . In dem Fall ist in Bild 7.2 ein Teiler 1:15 einzufügen, damit die Gesamtanordnung 1:31 teilt.

Teiler sind gleichzeitig simple Zähler. In dieser einfachsten Form werden sie in der Praxis für gleichbleibende Zählfolgen aber oft verwendet. Für große Impulsfolgen wäre bei Beibehaltung des beschriebenen Wegs der Aufwand jedoch erheblich. Mit Hilfe zusätzlicher Gatter kommt man mit optimalem Aufwand zum Ziel. Die Vorgehensweise ist folgende:

Ist  $N$  die Zahl, bis zu der gezählt werden soll, so bestimme man  $N \leq 2^n$ . Die Zahl der einfach hintereinanderschaltenden Flipflops gibt dann  $n$  an. Alle Ausgänge  $Q$ , die vor Erreichen der gewünschten Zahl (also  $N - 1$ ) einen L-Impuls abgeben, werden mit den Eingängen eines NAND-Gatters verbunden. Ebenso wird der Takt an das Gatter gelegt. Den Ausgang des Gatters verbindet man mit dem Setzeingang der Flipflops, die bei  $N - 1$   $Q = L$  aufweisen.

Als Beispiel ist in Bild 7.5 ein Teiler 1:14 gezeigt.

Wenn man beliebige ganzzahlige Teilverhältnisse erhalten will, kann man auf Binärzähler zurückgreifen, wie es in [7] beschrieben wird. Bild 7.6 zeigt die Anordnung zur Gewährleistung hoher Teilverhältnisse mit CMOS-Zählern. Dabei wird mit Dioden zwischen bestimmten Ausgängen und dem Rücksetzeingang ein leicht modifizierbarer Frequenzteiler gebildet. Haben alle mit einer Diode beschalteten Ausgänge H-Pegel eingenommen, erhält der Rücksetzeingang einen H-Impuls. Dadurch wird der Zähler rückgesetzt. Die geteilte Frequenz steht am Anfang der höchstwertigen benutzten Zählstufe zur Verfügung.

Durch Binärzerlegung des ganzzahligen Teilerfaktors erhält man die zu benutzenden Ausgänge. Für einen Teilerfaktor von z. B. 3992 ergibt sich folgendes:

Q11: $2^{11}$	= 2 048
Q10: $2^{10}$	= 1 024
Q 9: $2^9$	= 512
Q 8: $2^8$	= 256
Q 7: $2^7$	= 128
Q 4: $2^4$	= 16
Q 3: $2^3$	= 8

---

Teilerfaktor = 3992

Somit wären diese 7 Ausgänge in der im Bild angedeuteten Weise mit Dioden zu beschalten. Die Ausgangsfrequenz könnte am Ausgang 013 von D2 abgenommen werden.

Stellt sich bei der Binärzerlegung heraus, daß die Ausgänge Q0 bis Q3 ausreichen, so kann auf D2 und das aus den Gattern D1.1, D1.2 bestehende Monoflop verzichtet werden. Der Verbindungspunkt der Katoden mit dem Widerstand wird dann an den Rücksetzeingang R1 gelegt. Werden nur Ausgänge Q0 bis Q7 benötigt, so kann D2 entfallen. Das Monoflop schaltet den Einfluß unterschiedlicher Schaltschwellen und Signallaufzeiten bei Einsatz mehrerer Zähler aus. Dieser Einfluß könnte eine falsche Teilung bewirken.

Bei der Dimensionierung der Zeitkonstanten über  $C$  ist zu

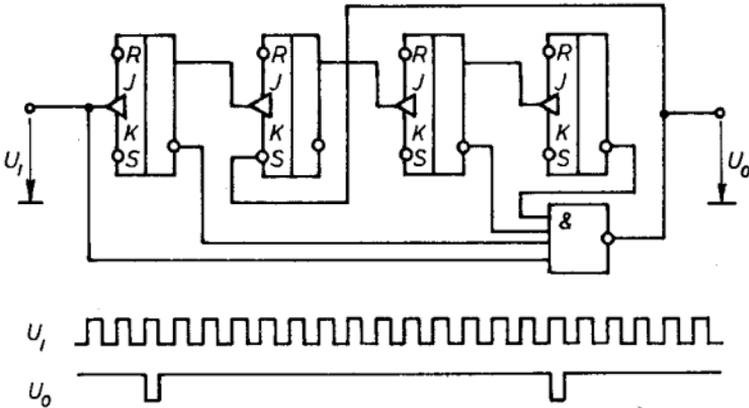


Bild 7.5 Mit 2 DL 112 D (korrigiere ggf. im Datenblatt: Anschluß 7 ist Q2) und  $1/2$  DL 120 D aufgebaute Teiler 1:14

gewährleisten, daß der Rücksetzimpuls vor der nächsten (negativen) Taktflanke beendet ist. Daher muß die Summe aus Haltezeit des Monoflops und Verzögerungszeit von Zählkette und Diodenanordnung kleiner als  $1/f_i$  sein.

Bei einer Eingangsfrequenz von 1 MHz wird dies mit  $C = 47$  pF abgesichert. Bei höheren Frequenzen sind durch den Einfluß parasitärer Kapazitäten Schwierigkeiten zu befürchten.

Der höchstmögliche Teilerfaktor ist mit diesen 16 Binärstufen 65 536. Soll die Ausgangsfrequenz 50 Hz betragen, so ist eine Eingangsfrequenz von 3 276,76 kHz dann maximal möglich. Diese Eingangsfrequenz markiert auch ziemlich genau die Grenze des praktisch Erreichbaren.

### 7.3. Verdoppler

Bei der Schaltung nach Bild 7.6 wird sowohl die positive als auch die negative Flanke des Eingangssignals differenziert. Das ergibt am Ausgang doppelt so viele Flanken. Das Ausgangssignal besteht aus LHL-Impulsen, deren Breite  $t_H = 0,7 R_1 C_1$  bzw.  $t_H = 0,7 R_2 C_2$  beträgt.

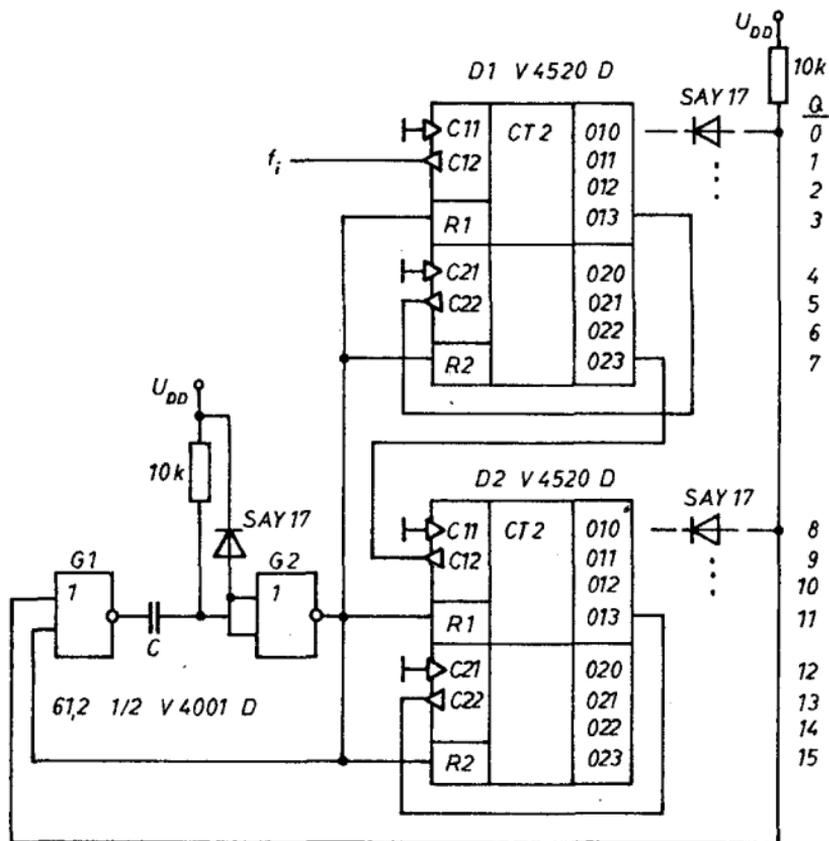


Bild 7.6 Beim Einsatz von Binärteilern können beliebige ganze und auch große Teilerfaktoren leicht realisiert v

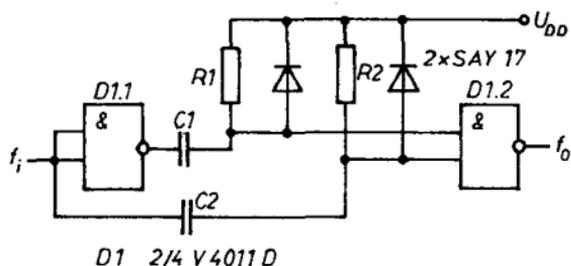


Bild 7.7  
Frequenzverdoppler  
mit NAND-Gattern.  
Laufzeit- und parasitäre Effekte bedingen  $f_i \leq 500$  kHz

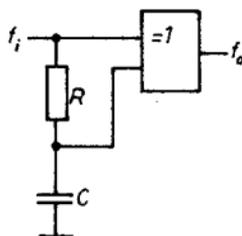


Bild 7.8

Frequenzverdoppler mit EXOR-Gatter.  
Diese Schaltung hat, bedingt durch parasitäre Kapazitäten, ihre Grenze bei  $f_i = 1 \text{ MHz}$

Mit  $R_{1/2} = 10 \text{ k}\Omega$  und  $C_{1/2} = 68 \text{ pF}$  erhält man  $t_H$  z. B. zu  $0,5 \mu\text{s}$  und kann daher eine Eingangsfrequenz von maximal  $500 \text{ kHz}$  verdoppeln.

Einen an Einfachheit nicht zu übertreffenden Verdoppler zeigt Bild 7.7. Bei CMOS ( $t_H = 0,7 RC$ ) (*V 4030 D*) kann man weitläufig dimensionieren, bei LS-TTL (*DL 086 D*) ist  $R = 1 \text{ k}\Omega$  einzuhalten ( $t_H \approx 0,4 C$ ;  $t_H$  in  $\mu\text{s}$ ,  $C$  in  $\text{nF}$ ).

## 8. Datenübertragung

Man unterscheidet zwischen Fernverbindungen (z. B. Telefonnetz) und Nahverbindungen (Standard-Schnittstellen). Zur Nahverbindung innerhalb eines Geräts oder zwischen benachbarten Geräten kann ein paralleler oder serieller Bus dienen. Parallele Busstrukturen werden bevorzugt, wenn mit hoher Geschwindigkeit übertragen werden soll. Ein serieller Bus rentiert sich bei längeren Strecken. Dabei ergeben sich 2 Grundformen: asynchrone und synchrone Verfahren. Asynchrone Schnittstellen werden für Übertragungsraten unter 20 kbit/s bevorzugt und benötigen wenig Aufwand. Synchrone Schnittstellen erlauben eine schnellere Übertragung, sind aber wegen der Mitführung des Takts aufwendiger.

Bei den seriellen Verfahren ist oft eine Leitungskodierung von Vorteil, da die Daten in einer optimalen Form übertragen werden können. Ein wichtiges Problem ist die Störbeeinflussung. Hier kommt man oft mit Optokopplern zu einer befriedigenden Lösung.

### 8.1. V.24-Schnittstelle

Einen guten Überblick über die Standard-Schnittstellen vermittelt [8]. Daher sollen hier für den Praktiker nur wenige Ergänzungen zu dem häufig anzutreffenden seriellen Standard *RS 232 C* bzw. *V.24* gemacht werden. Die erste Bezeichnung stammt vom amerikanischen Normengremium *EIA*.

Die Norm *V.24* wurde vom Genfer *CCITT* herausgegeben. Sie betrifft lediglich die funktionellen Eigenschaften, die entsprechenden elektrischen Eigenschaften sind in der Vorschrift *V.28* festgelegt. Weitere Festlegungen sind die Normen *DIN 66 020* und *TGL 29 077*. Zwar sind die Unterschiede gering, doch werden die Normen von den internationalen Herstellern

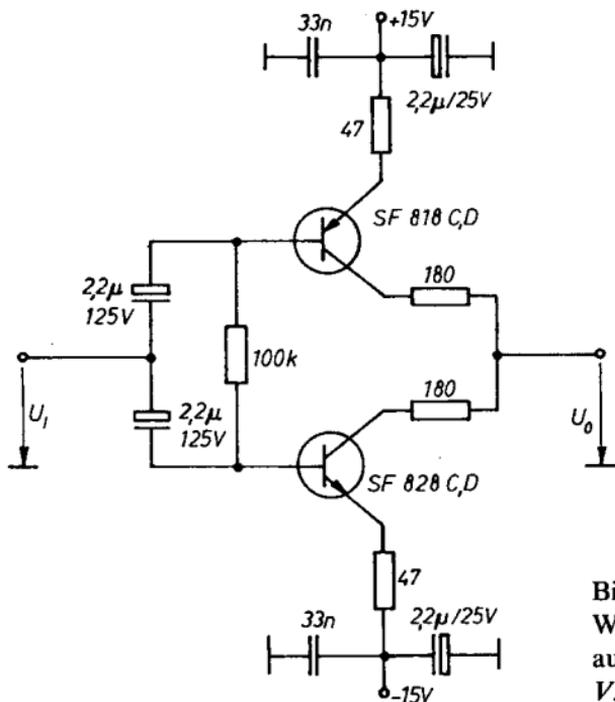


Bild 8.1  
Wandlerstufe für TTL  
auf normgerechten  
V.24-Pegel

überhaupt zuwenig beachtet [9]. Man kann daher beim Zusammenschalten zweier gleichnamiger Schnittstellen einen Defekt verursachen, weil unterschiedliche Betriebsspannungen benutzt wurden. Daher sind die Schnittstellendaten genau zu prüfen. Häufig werden normabweichend  $\pm 5$  V benutzt.

Beim Empfänger kann man auf diesen Pegel herunterteilen. Eine Ausgangsstufe, die von TTL-Pegel auf normgerechten V.24-Pegel umsetzt, zeigt Bild 8.1. Eine Schaltung, die ohne negative Betriebsspannung auskommt, ist in Bild 8.2 gezeigt [10]. Diese Lösung ist zwischen einem Computer und einem mit konventioneller Schnittstelle ausgestatteten Peripheriegerät sehr zweckmäßig, da moderne Speicher ohne negative Betriebsspannung auskommen und eine solche für den Computer selbst folglich nicht erforderlich ist.

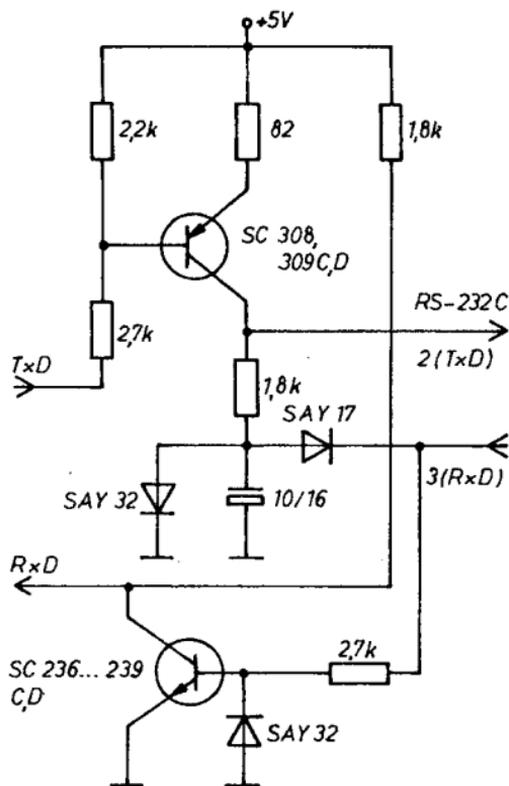


Bild 8.2  
 Einseitig verwendbare  
 Schnittstelle mit +5 V  
 Versorgungsspannung, die  
 mit V.24/RS-232-C-Schnitt-  
 stelle ( $\pm 5$  V) zusammen-  
 arbeitet

## 8.2. Abschluß von Busleitungen [11]

Einer der praktisch wichtigsten Gesichtspunkte beim Aufbau von Bussystemen mit langen Leitungen ist deren Abschluß. Zur Vermeidung von Reflexionen sind die Busleitungen mit dem Wellenwiderstand abzuschließen.

Hierbei ist zwischen parallelem und seriellem Abschluß zu unterscheiden (Bild 8.3). Die Abschlußwiderstände, deren Werte aus dem Diagramm Bild 8.4 hervorgehen, sorgen für eine Terminierung der Leitung für hohe Frequenzanteile der Bussignale und bilden den Kollektorwiderstand bei einem Opencollector-Bus. Dabei wirkt sich die Abblockung der Betriebsspannung mit C

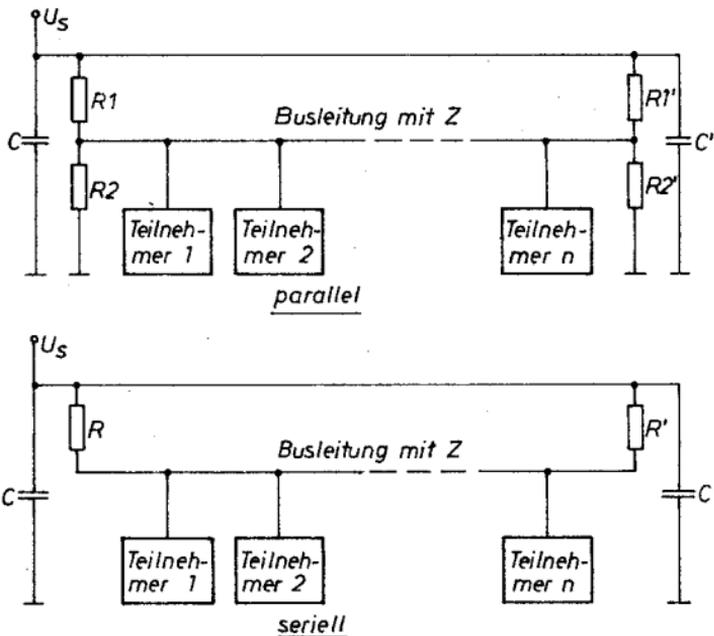


Bild 8.3 Möglichkeiten zur Terminierung einer Busleitung. Unter Terminierung (oder Termination) versteht man den Abschluß einer Leitung mit dem Ziel, Reflexionen zu verhindern

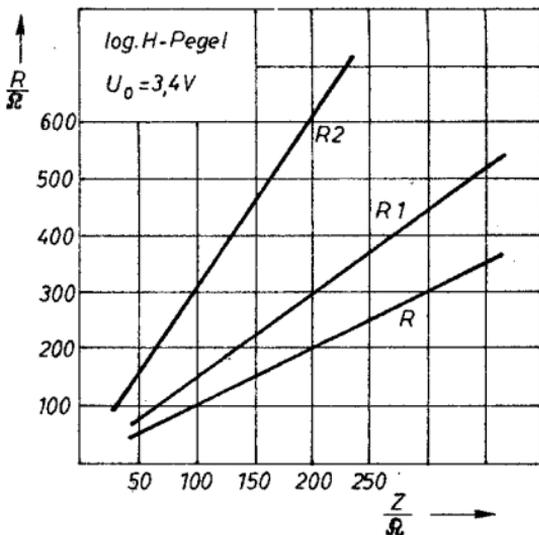


Bild 8.4 Bestimmung der Widerstände ( $Z$  ist der Wellenwiderstand der Leitung)

vorteilhaft aus. Bei parallelem Abschluß wird für hohe Frequenzen die Belastung der Bustreiber geringer. Die statische Belastung des Busses ist durch die treiber-spezifischen Kenngrößen festgelegt. Die dynamische Belastung wird vorrangig durch die Eingangskapazitäten der Bustreiber und die Kabelkapazität bedingt. Sie bewirkt eine Signalverzögerung, die gegebenenfalls berücksichtigt werden muß.

### 8.3. Leitungskodierung [12]

Eine synchrone Datenübertragung über nur eine Leitung kann mit Hilfe eines selbsttaktenden Codes erfolgen. Dazu ist die Verknüpfung von Daten und Takt zum Kodesignal mit einem Koder und die Rückbildung mit einem Dekoder erforderlich. Außer der Einsparung einer Leitung ergeben sich noch weitere Vorteile: Die mittleren Zeiten für H- und L-Zustand auf der Leitung sind gleich, und eine Wechsellspannungskopplung innerhalb des gesamten Übertragungsabschnitts ist möglich.

Die beiden populärsten selbsttaktenden Codes sind der *Manchester*- und der *Bi-Phase*-Code. Ihre Bildungsvorschriften sind in Bild 8.5 dargestellt. Die kodierten Signale bestehen jeweils aus Impulsen, welche so lang sind wie ein oder ein halbes Bitintervall ( $t_{\text{bit}}$  bzw.  $t_{\text{min}}$ ). Beim *Manchester*-Signal werden die Daten durch eine Flanke in der Mitte jedes Bitintervalls repräsentiert. Beim *Bi-Phase*-Code beginnt und endet jedes Bitintervall mit einer Flanke. Es bestehen praktisch 2 Möglichkeiten: Mark und Space.

Um sich für einen der Codes zu entscheiden, muß man die Unterschiede im Hinblick auf den praktischen Einsatz kennen. Wird das Kodesignal invertiert, erhält man bei *Bi-Phase* ein unverändertes NRZ-Datensignal, bei *Manchester* hingegen ein invertiertes NRZ-Datensignal. Wenn das Kodesignal aus sich abwechselnden, unterschiedlichen Bits besteht, wird bei *Bi-Phase* eine 1-Folge (Mark) bzw. eine 0-Folge (Space) übertragen. Bei *Manchester* kann dies jedoch eine 1- oder 0-Folge bedeuten. Wird in diesem Betriebsfall nach einer Störung nicht

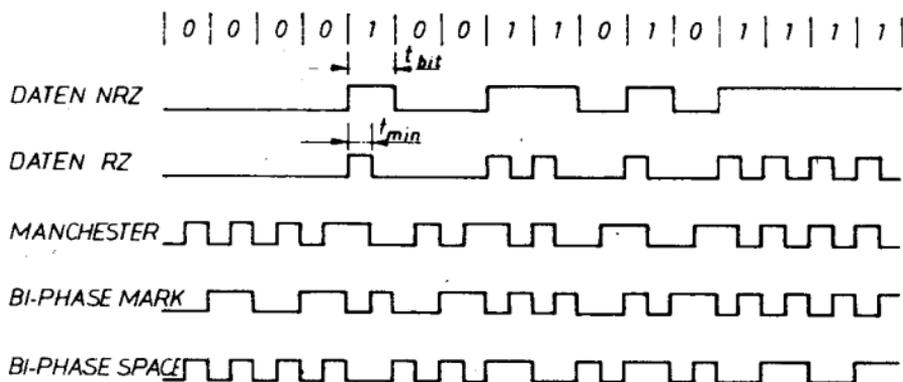
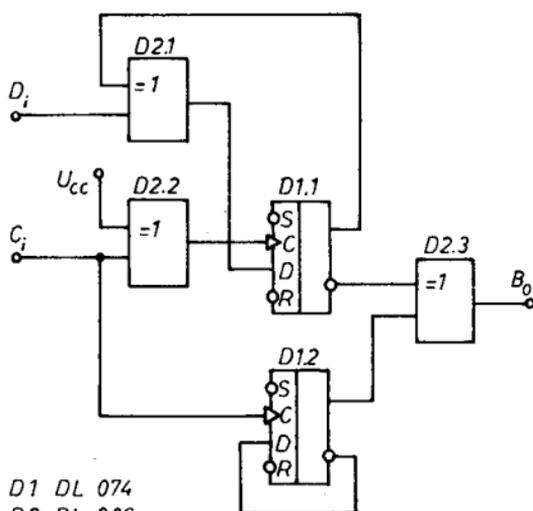


Bild 8.5 Impulsdiagramm selbsttaktender Codes

richtig dekodiert, liefert der *Bi-Phase*-Dekoder weiterhin die richtigen Datensignale, während der *Manchester*-Dekoder auch falsche Datensignale liefern kann. Der *Bi-Phase*-Demodulator kehrt zur korrekten Betriebsweise nach Einlaufen eines entgegengesetzten Datenbits zurück, der *Manchester*-Demodulator nach einem Flankenwechsel bei den einlaufenden Daten. In jedem Fall geht dabei 1 bit verloren.

Einen *Bi-Phase*-Koder zeigt Bild 8.6. Ein *Manchester*-Koder

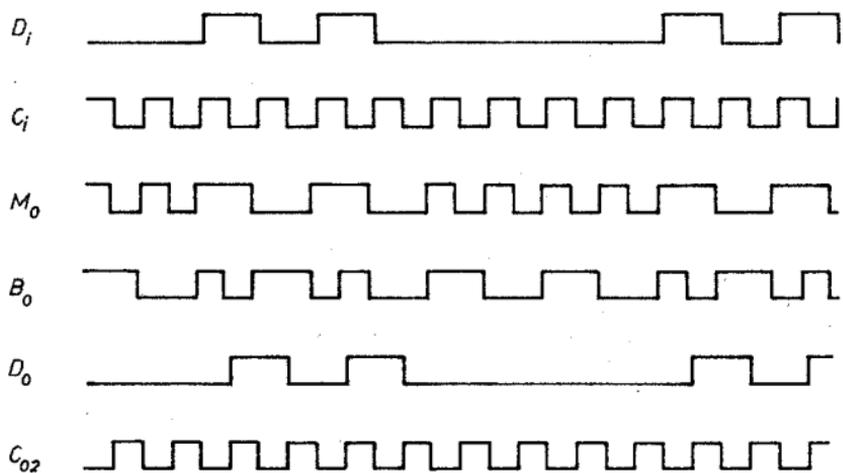


D1 DL 074  
D2 DL 086

Bild 8.6  
*Bi-Phase*-Modulator



| 1. | 2. | 3. | 4. | 5. | 6. | 7. | 8. | *Bitintervall*



| 1. | 2. | 3. | 4. | 5. | 6. | 7. | 8. |

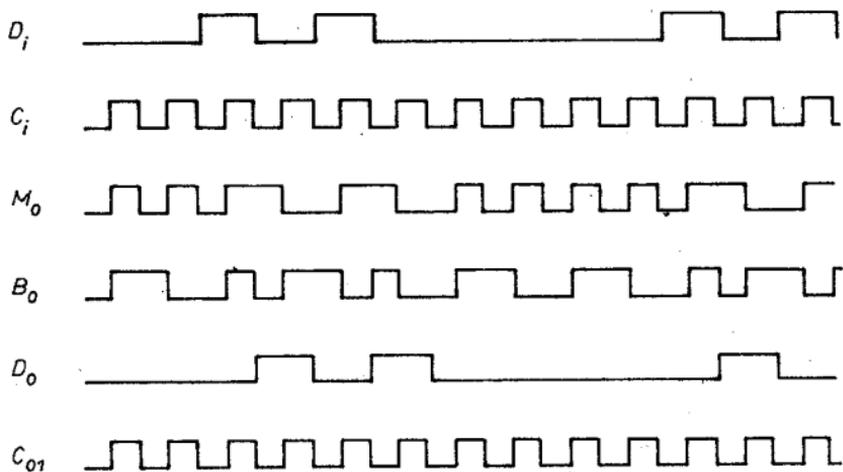


Bild 8.8 Impulsdiagramme für Kodierung/Dekodierung mit selbst-taktenden Codes

- Für hohe Stabilität sind ein Dickschicht-Einstellwiderstand und ein Kunststoffkondensator einzusetzen.
- Zur Dimensionierung siehe Kapitel 6.1.
- Je nach Lage von eingegebenen Daten zu Takt ist Ausgang  $C_{01}$  oder  $C_{02}$  zu benutzen.
- Die Schaltungen arbeiten bis  $t_{\text{bit}} = 200$  ns einwandfrei.

## 8.4. Optokoppler-Einsatz

Wird bei der Datenübertragung eine gemeinsame Masse benutzt, so besteht Störanfälligkeit. Sie ist auch durch symmetrischen Aufbau nicht völlig zu beseitigen, da die Gleichtaktunterdrückung gängiger IS nur für geringe Spannungen wirkt. Die zusätzliche galvanische Trennung von Sende- und Empfangstromkreis verspricht praktisch die Lösung des Problems. Ein Optokoppler mit Fototransistor (*MB 104*) ist nur bei geringen Übertragungsraten einsetzbar, da die Transistorschaltzeiten (siehe Kapitel 2.2.) aufbaubedingt sehr groß sind. Sie vergrößern sich um so mehr, je größer die Lichtempfindlichkeit und je kleiner die Beleuchtungsstärke ist. Für geringste Impulsbeeinflussung ist daher der Typ mit kleinstmöglichem Übertragungsfaktor einzusetzen. Im Einklang mit dieser Tatsache stehen die grundsätzlichen Beschaltungsregeln für geringe Impulsbeeinflussung: eingangsseitig höchstmöglichen Strom anstreben,

Tabelle 8.1

Mit 3 *MB 104 C* erreichte Schaltzeiten in der Beschaltung nach Bild 8.9 (Anschluß 6 frei)

	OK1			OK2			OK3		
$R_V$ in $\Omega$	680	330	150	680	330	150	680	330	150
$R_L$ in $\Omega$	1200	680	330	1200	680	330	1200	680	330
$t_d$ in $\mu\text{s}$	2	1	0,5	2	1	0,5	1	0,5	0,5
$t_r$ in $\mu\text{s}$	5	2	1	3	2	1	2	1	1
$t_s$ in $\mu\text{s}$	15	20	15	20	15	15	20	20	20
$t_f$ in $\mu\text{s}$	30	25	15	40	35	20	40	20	10

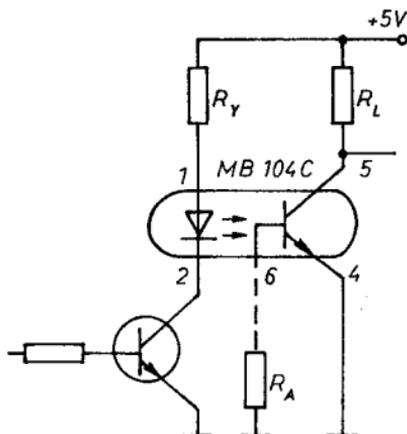


Bild 8.9  
Einsatzschaltung für  
den MB 104

ausgangsseitig geringsten Lastwiderstand (mit Rücksicht auf Grenzwerte und Gesamtverstärkung). In der Schaltung nach Bild 8.9 wurden 3 MB 104 C eingesetzt und die Schaltzeiten der gesamten Anordnung aufgenommen (Tabelle 8.1). Die Erfahrungen besagen, daß diese Ergebnisse noch nicht den gesamten, möglichen Streubereich abdecken. Die Schaltung mit offener Basis genügt also nur geringen Ansprüchen. Eine wesentliche Verbesserung läßt sich mit einem sogenannten Basisableitwiderstand ( $R_A$ ) erreichen (Tabelle 8.2). Er beeinflusst die Schaltzeiten gegensinnig, so daß die Impulsverbreiterung wirkungsvoll eingeschränkt werden kann. Der breite Streubereich ist nachteilig, da er praktisch einen Abgleich erforderlich macht. Nur so können aber die Schaltzeiten, die der Hersteller (ohne weitere Bedingungen) im Datenblatt nennt, eingehalten werden.

Tabelle 8.2

Schaltzeiten mit optimalem Ableitwiderstand  $R_A$

	OK1			OK2			OK3		
$R_A$ in $k\Omega$	50	30	15	75	45	20	60	35	17
$t_d$ in $\mu s$	3	2	0,5	2	1	0,5	2	1	0,5
$t_r$ in $\mu s$	5	2	1	5	3	2	5	2	1
$t_s$ in $\mu s$	8	8	8	10	10	8	8	8	5
$t_f$ in $\mu s$	5	3	1	10	5	1	8	3	0,5

Sollen geringe Verzögerungszeiten bei Vermeidung eines Abgleichs erreicht werden, muß zum Fotodiodenbetrieb übergegangen werden. Dies ist auch mit Fototransistor möglich, wenn der Emitter frei bleibt. Der Lastwiderstand kann dann von Basis nach Masse oder von Kollektor nach Betriebsspannung geschaltet werden. In jedem Fall wird er nur vom Fotostrom durchflossen, der Übertragungsfaktor ist kleiner als 1 %. Das bedingt hohe Nachverstärkung. Die sich daraus ergebenden praktischen Probleme sind hohe Störanfälligkeit der Empfangsseite und „Schwingfreudigkeit“. Man löst diese Probleme mit einem HF-gerechten Aufbau (gedrängte Anordnung der Bauelemente, Abblockung, ggf. Abschirmung bzw. Zweiebenentechnik).

Der *MB 111* ist ein Koppler mit Infrarot-Emitterdiode als Sender und Si-Fotodiode mit nachfolgender integrierter Verstärkerstufe als Empfänger. Der Kollektor des Ausgangstransistors ist offen, so daß an verschiedene Logiksysteme leicht angepaßt werden kann. In der Schaltung nach Bild 8.10 wurden folgende Zeiten gemessen (mit Tastkopf  $C_e \approx 15 \text{ pF}$ ):

Einschaltverzögerungszeit	500 ns	} L → H
Anstiegszeit	100 ns	
Ausschaltverzögerungszeit	200 ns	} H → L
Abfallzeit	100 ns	

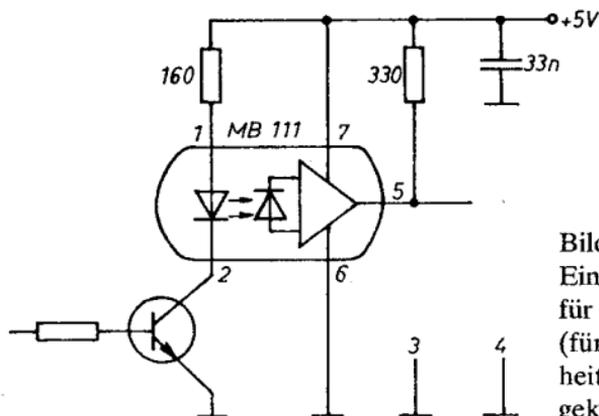


Bild 8.10  
Einsatzschaltung  
für den *MB 111*  
(für maximale Störsicherheit kann Anschluß 8 gekürzt werden)

**Tabelle 8.3** Kennwerte des Optokopplers MB 104 (Auswahl)

Durchlaßgleichstrom	$\leq 40 \text{ mA}$	} Eingangskreis
periodischer Spitzendurchlaßstrom	$\leq 80 \text{ mA}$	
Sperrspannung	$\leq 6 \text{ V}$	
Verlustleistung	$\leq 200 \text{ mW}$	
Durchlaßgleichspannung	$\leq 1,5 \text{ V}$	
bei $I_F = 40 \text{ mA}$		
Kollektorstrom		
bei $I_F = 10 \text{ mA}$ , $U_{CE} = 5 \text{ V}$		
	A 4 bis 8 mA	
	B 6,3 bis 12,5 mA	
	C 10 bis 20 mA	
	D 16 bis 32 mA	

**Tabelle 8.4** Einige Kennwerte des Optokopplers MB 111

Durchlaßgleichstrom	$\leq 30 \text{ mA}$	} Eingangskreis
Spitzendurchlaßstrom	$\leq 60 \text{ mA}$	
Sperrgleichspannung	$\leq 3 \text{ V}$	
Betriebsspannung	$\leq 7 \text{ V}$	} Ausgangskreis
L-Ausgangsstrom	$\leq 16 \text{ mA}$	
H-Ausgangsspannung	$\leq 15 \text{ V}$	
Verlustleistung	$\leq 150 \text{ mW}$	
Durchlaßgleichspannung	$\leq 1,4 \text{ V}$	
bei $I_F = 30 \text{ mA}$		
L-Ausgangsspannung	$\leq 0,4 \text{ V}$	
bei $U_S = 4,75 \text{ V}$ , $I_{OL} = 16 \text{ mA}$ , $I_F = 15 \text{ mA}$		
H-Ausgangsspannung		
bei $R_L = 4 \text{ k}\Omega$ , $I_F = 2 \text{ mA}$	$\geq 5 \text{ V}$	
H-Ausgangsstrom		
bei $U_S = 5,25 \text{ V}$ , $U_{OH} = 12 \text{ V}$ , $I_F = 0$	$\leq 2 \mu\text{A}$	
Stromaufnahme		
bei $U_S = 5,25 \text{ V}$ , $I_F = 30 \text{ mA}$	$\leq 25 \text{ mA}$	
Schaltzeiten		
bei $U_S = 5 \text{ V}$ , $R_L = 400 \Omega$ , $C_L = 25 \text{ pF}$ , $I_F = 15 \text{ mA}$		
Einschaltverzögerungszeit	$\leq 700 \text{ ns}$	
Ausschaltverzögerungszeit	$\leq 700 \text{ ns}$	
Anstiegszeit	$\leq 150 \text{ ns}$	
Abfallzeit	$\leq 100 \text{ ns}$	

Die Tabellen 8.3 und 8.4 fassen Optokoppler-Parameter zusammen, die für den praktischen Einsatz zur Datenübertragung von Bedeutung sind.

## 9. Schaltungen für die Peripherie

Die Eingabe über mechanische oder elektronische Taster und die optische Anzeige mit LED sowie akustische Anzeige sind Aufgaben, die an der Schnittstelle eines digitalen Systems zur Umwelt immer wieder zu lösen sind.

### 9.1. Entprellschaltung [13]

Es ist notwendig, mechanische Taster und Relaiskontakte zu entprellen, um Fehlfunktionen auszuschließen. Einfache Lösungen zeigen Bild 9.1 und Bild 9.2. Im gezeichneten Zustand liegt der Gatterausgang jeweils auf L-Pegel. Der Unterschied besteht darin, daß bei Betätigen des Schließers sofort auf H-Pegel umgeschaltet wird, bei Betätigung des Öffners aber erst nach 100 ms.

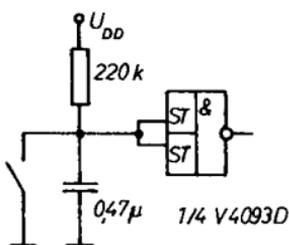


Bild 9.1  
Entprellschaltung für Schließer

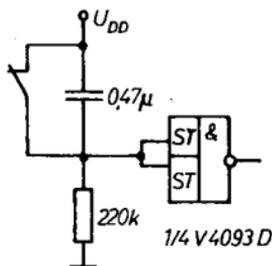


Bild 9.2  
Entprellschalter für Öffner

### 9.2. Impulserzeugung beim Umschalten [10]

Die Schaltung nach Bild 9.3 liefert bei jeder Schalthandlung mindestens einen LHL-Ausgangsimpuls von 100 µs (sie ist nicht entprellt). Dieser Impuls wird manchmal als Reset-Impuls

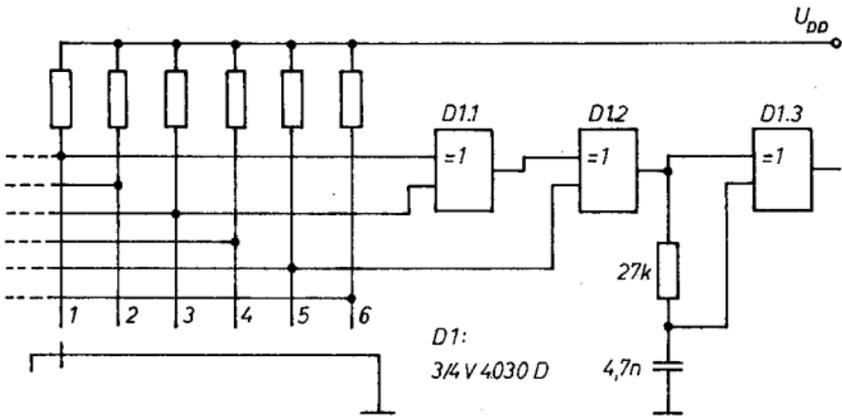


Bild 9.3. Impulsausgabe beim Umschalten

gewünscht. D1.1 „überwacht“ dazu die Position 1 bis 4. D1.2 übernimmt die Position 5 und 6 und den Ausgang von D1.1. Auf diese Art und Weise können bei einem größeren Umschalter weitere Gatter eingefügt werden.

### 9.3. Elektronischer Tastenschalter

Bei Tastensätzen unterscheidet man zwischen abhängigen und unabhängigen Tasten. Mechanische Tastenschalter sind teuer, platzaufwendig und wenig betriebssicher. Bild 9.4 zeigt einen elektronischen abhängigen Tastensatz, der nicht nur diese Nachteile vermeidet, sondern auch gegenüber herkömmlichen – mechanischen oder elektronischen – Lösungen die Vorteile

- definierter Zustand bei Anlegen der Versorgungsspannung,
- günstiges Verhalten bei gleichzeitigem Betätigen mehrerer Schalter sowie
- Ausbaufähigkeit für Sensorkontakte

hat. Wird  $U_{DD}$  angelegt, nimmt Ausgang Q0 H-Potential an, und die entsprechende LED leuchtet. Es kann nun mit S4 Q1, mit S3 Q2, mit S2 Q3 und mit S1 Q4 auf H-Potential gebracht werden. Das wird durch die zugehörige LED signalisiert. Der

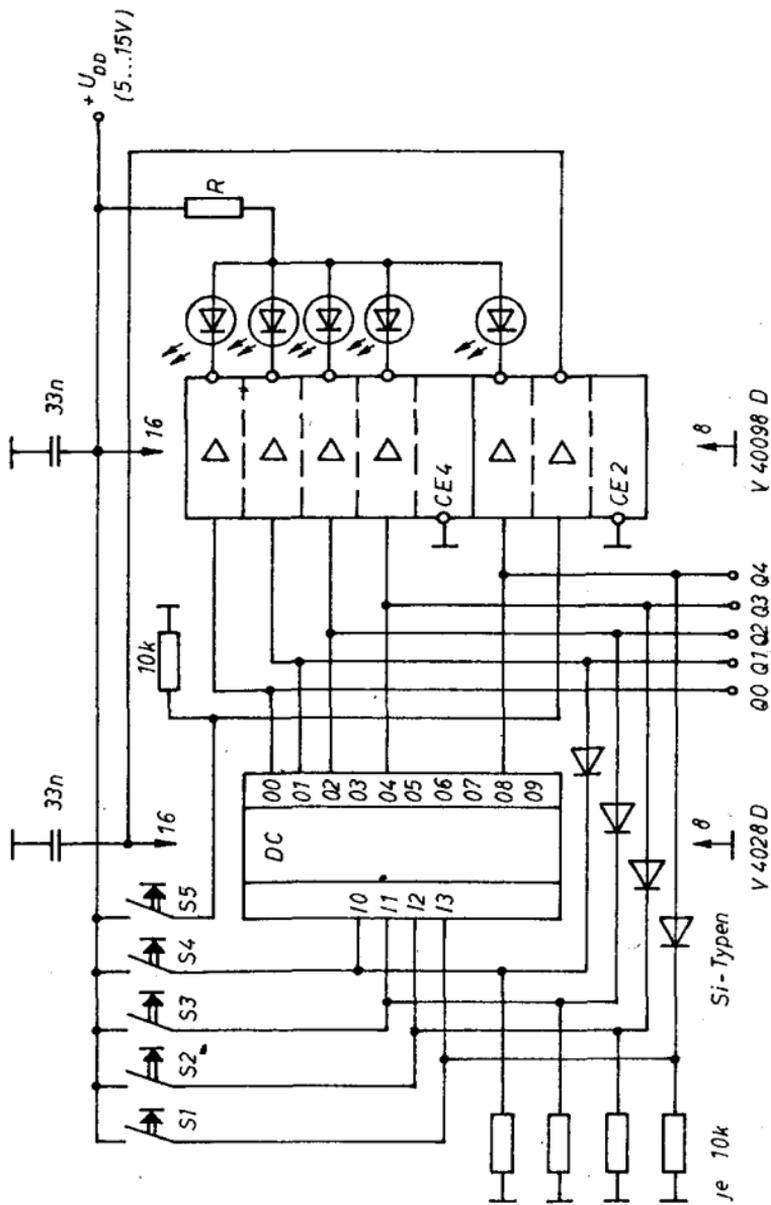


Bild 9.4 Elektronischer Tastensatz

Ausgangszustand  $Q_0 = H$  wird mit  $S_5$  hergestellt. Werden mehrere Schalter gleichzeitig betätigt, nehmen alle Ausgänge L-Potential ein. Es gilt

$$R = \frac{U_{DD} - 2 V}{5 \text{ mA}}. \quad (26)$$

Zur Ausbildung von Sensorkontakten sind die 10-k $\Omega$ -Widerstände auf 10 bis 15 M $\Omega$  zu erhöhen, und es ist je ein Kondensator von 1 nF parallel zu schalten. Für die Dioden können *SAY 12, 16, 17, 18* oder *73* verwendet werden.

Die definierte „Ausgangsposition“ ergibt sich, da alle Eingänge zunächst L-Pegel führen. Jeder der 4 einschaltbaren Ausgangszustände weist im Binärkode nur eine „1“ auf, die mit  $S_1$  bis  $S_4$  eingegeben wird. Die Si-Dioden führen zur Selbsthaltung. Soll  $Q_0$  wieder H-Pegel annehmen, wird durch Betätigen von  $S_5$  die Betriebsspannung für den *V 4028 D* über den unteren Treiberinverter abgeschaltet. Beim gleichzeitigen Betätigen mehrerer Taster ändern nur unbeschaltete Ausgänge ihr Potential.

## 9.4. LED-Schaltungen

Bei schwankender Speisespannung ist der LED-Betrieb über Vorwiderstand unbefriedigend. Es müssen dann Stromquellen benutzt werden, die gleichzeitig eine leistungsarme Ansteuerung gewährleisten (Bild 9.5). Die beiden Schaltungen liefern einen Konstantstrom von 10 mA, der über den Emitterwiderstand eingestellt wird. Mit der Schaltung nach Bild 9.6 ist eine stromsparende Einschaltanzeige möglich, wie sie oft für batteriebetriebene Geräte gewünscht wird. Es handelt sich um eine Blinkschaltung, die kurze, aber kräftige Lichtimpulse abgibt. Nach dem Anlegen der Betriebsspannung lädt sich der Elektrolytkondensator langsam auf. Beim Erreichen des Umschaltpunkts für das 1. Gatter wird der Transistor plötzlich durchgesteuert. Die LED erhält vom Kondensator einen hohen Stromstoß von maximal 100 mA (etwa 1 ms Impulsbreite). Danach wird der Kondensator erneut aufgeladen.

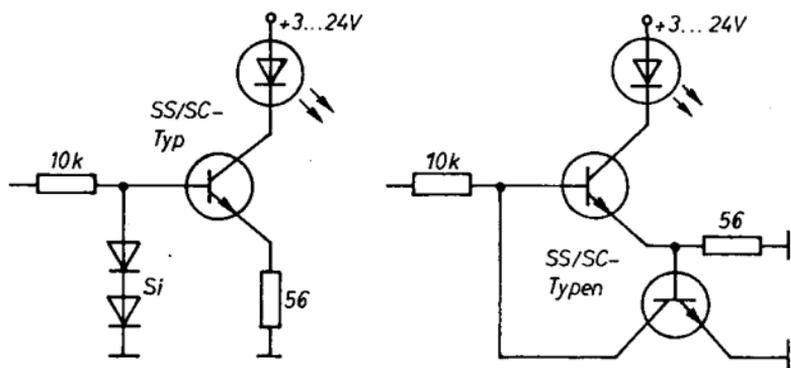


Bild 9.5 LED-Stromquellen

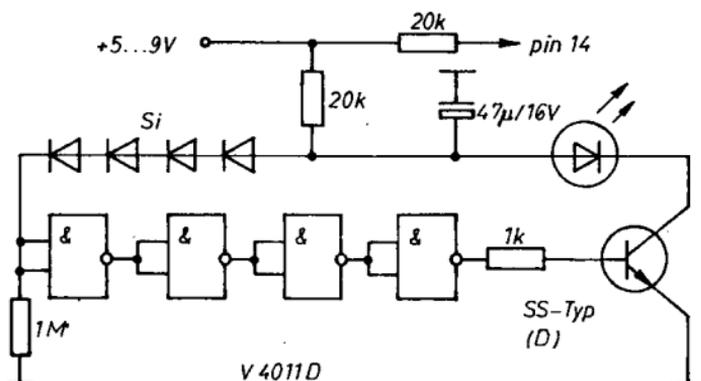


Bild 9.6 Sparsamer LED-Betrieb

Bei 5 V ist die Frequenz etwa 1 Hz; sie nimmt mit steigender Betriebsspannung zu. Sollen 9 V überschritten werden, sind noch Dioden einzufügen. Der Stromverbrauch bleibt unter 1 mA. Wenn die Anzeige von H- und L-Pegel gewünscht wird, kann nach Bild 9.7 geschaltet werden. Für den Vorwiderstand gilt:

$$R = \frac{U_s - 2 \text{ V}}{10 \text{ mA}} \quad (27)$$

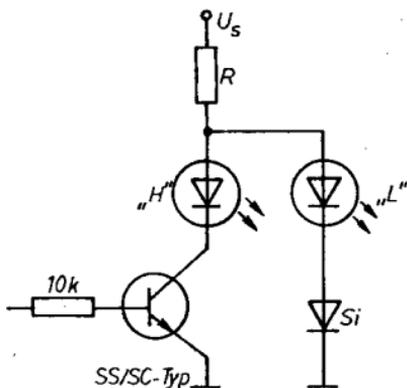


Bild 9.7  
Anzeige von L- und H-Pegel

## 9.5. Akustische Zustandsmeldung

Die komplette Schaltung einer akustischen Zustandsmeldung ist in Bild 9.8 gezeigt. Im Ruhezustand ( $U_1 = H$ ) liegt der Stromverbrauch bei wenigen  $10 \mu A$ . Etwa 5 s nach Auftreten des L-Pegels werden in einer Zeitspanne von 1 s mehrere kurze Tonimpulse (2 kHz) abgegeben. Das wiederholt sich nach 5 s, bis wieder H-Pegel anliegt. Da diese Schaltung nachträglich eingebaut werden kann, ist ein Verpolschutz vorgesehen (VD3). Die Funktion ist leicht zu durchschauen. D1.1 und D1.2 bilden einen Taktgenerator sehr niedriger Frequenz mit kleinem Impuls-Pausenverhältnis. Dieser steuert den Generator mittlerer Frequenz (D1.3, D1.4). Mit dem Schichteinstellwiderstand wird die exakte Impulsanzahl sichergestellt.

Hierbei ist zu beachten, daß sich erste und folgende Taktperioden in der Dauer etwas unterscheiden. D1.5 und D1.6 bilden schließlich einen Tongenerator. Er wird über den CE-Eingang, der beiden Gattern gemeinsam ist, aktiviert.

Die beiden anderen Generatoren werden ebenfalls über einen solchen Eingang in Funktion genommen. Die Eingangsspannung  $U_1$  liegt an diesem CE-Eingang.

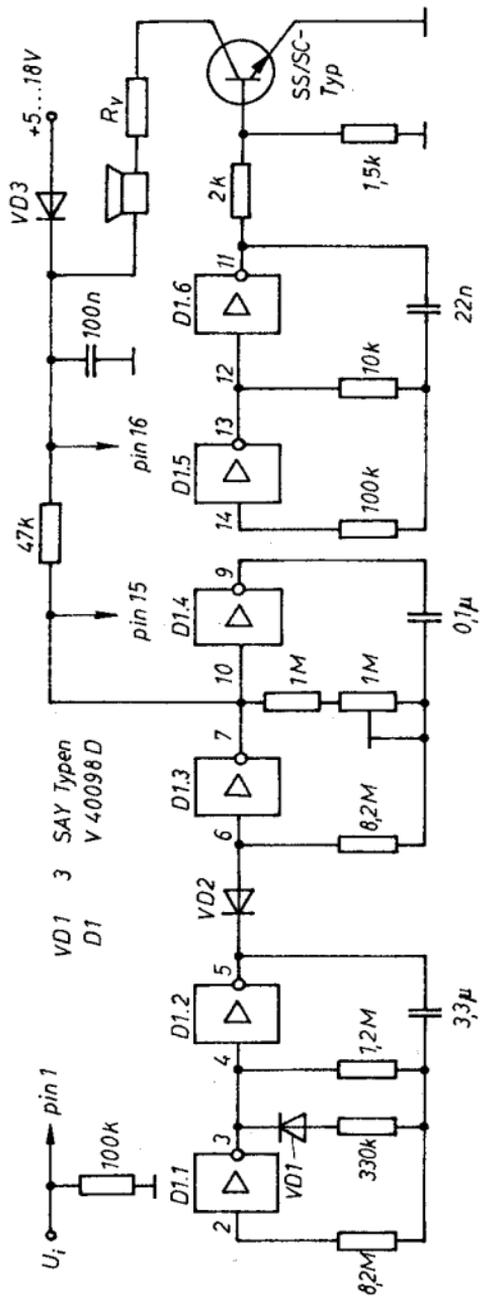


Bild 9.8 Akustischer Zustandsmelder

## 10. Hinweise für die Baugruppenentwicklung

Hat man geeignete Grundsaltungen erfolgreich erprobt, bedeutet das noch nicht die sichere Funktion des daraus zu bildenden Gesamtsystems. Sowohl konzeptionelle Mängel als auch gegenseitige Beeinflussungen und äußere Störungen können die Systemparameter einschränken. Bei der Auseinandersetzung mit diesem Problemkreis merkt man sehr schnell, daß theoretische Überlegungen und praktische Fragen während des Entwicklungsablaufs ineinanderspielen müssen, damit eine optimale Lösung entsteht.

Damit der Anspruch „praxisnah“ sich nicht nur im engeren Sinne auf die isoliert betrachteten Grundsaltungen, sondern im weiteren Sinne auf das mit ihnen angestrebte Endergebnis bezieht, folgen nun einige wichtige, allgemeine Hinweise.

### 10.1. Gesamtschaltungsentwurf

– Die Schaltkreisfamilie ist der Aufgabenstellung entsprechend auszuwählen, wobei Einheitlichkeit anzustreben ist (z. B. Gesamtlösung vollständig mit CMOS-Serie *V 4000*). Dadurch wird das interne Zusammenwirken und die äußere Behandlung (Störfähigkeit, Spannungsversorgung usw.) der Baugruppe vereinfacht.

– Die Leistungsfähigkeit der Gesamtschaltung soll der Aufgabenstellung gerade entsprechen; „Komfort“ ist nur dann zulässig, wenn ohnehin vorhandene Möglichkeiten ausgenutzt werden.

– Die Schaltungskonzeption muß übersichtlich sein, damit kritische Zustände unterbleiben und Fehler schnell gefunden werden können. Dazu gehört es, zeitlich definierte Verhältnisse bezüglich Takt und Signal sicherzustellen. In asynchronen Systemen besteht die Gefahr, daß durch Streuung der Gatter-

laufzeiten ungewollte Signalsprünge auftreten. Diese lassen sich im Entwurfsstadium kaum kalkulieren. Man unterscheidet 2 Gruppen [14]:

(Statische oder dynamische) Hazards sind kurzzeitig auftretende Fehlsignale, die durch unterschiedliche Gatterlaufzeiten entstehen. Hierzu siehe Bild 10.1! Races (Wettlauferscheinungen) sind Störungen, die auftreten, wenn Ausgangssignale von Logikschaltkreisen auf deren Eingänge geführt werden, wie das bei Flipflops, Zählern oder Schieberegistern üblich ist.

Bereits beim Schaltungsentwurf ist durch Einsatz geeigneter

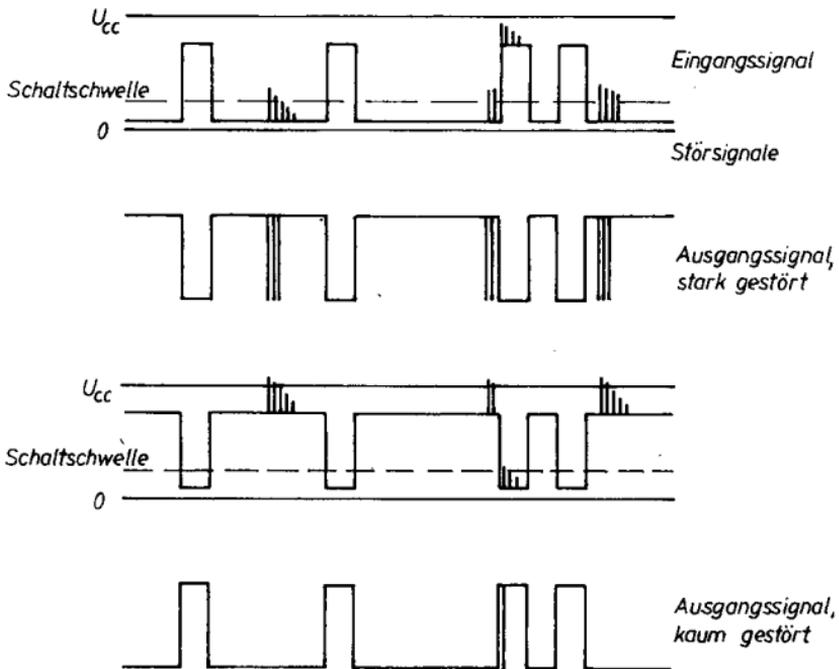


Bild 10.1 Ein störsicheres Verfahren besteht darin, den Pegel, der durch die Störung unbeeinflusst bleibt, die längere mittlere Zeit anliegen zu lassen. Das führt meist zu den Zuständen H-Pegel = 0 und L-Pegel = 1. Man spricht dann von negativer Logik

Bauelemente und günstiger Schaltungstechnik zur Vermeidung unerwünschter Kopplungen beizutragen.

– Es ist Sicherheit gegen Bedien-, Montage- und Anschlußfehler zu schaffen. Dazu ist zu durchdenken, welche Defekte z. B. durch gleichzeitiges Betätigen mehrerer Bedienelemente, falsches Stecken der Baugruppe, unsachgemäßes Verändern an Einstell-elementen oder falschen Anschluß von Verbindungsleitungen bzw. deren Unterbrechung entstehen können. Ferner ist zu überlegen, ob ein Fehler andere nach sich ziehen kann. Solche Folgefehler sind ebenfalls zu unterbinden.

– Der statische und dynamische Störabstand muß ausreichend hoch sein. Dieses Ziel erreicht man durch ein fehlertolerantes Signalverarbeitungskonzept (z. B. Mehrfachabfragung, Signalredundanz, Prüf- und Paritätsbits, negative Logik – Bild 10.2) unter Bevorzugung synchroner Logik. Die Taktfrequenz sollte nicht höher als nötig sein. Taktgenerator und Taktleitungen sollten besonders gegen Störungen geschützt werden (z. B. Abschirmung). Unbenutzte Eingänge gehören auf definiertes Potential. Ein hoher Übertragungspegel ist anzustreben.

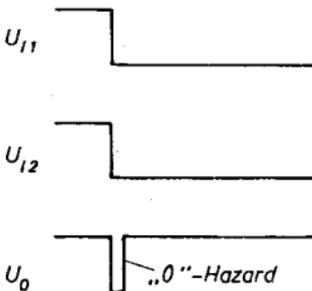
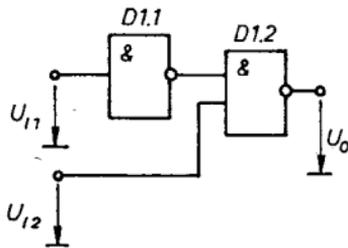


Bild 10.2

Zur Entstehung von Hazards. Der statische Hazard ist in diesem einfachsten Fall etwa so breit wie die Verzögerungszeit des Gatters D1.1

– Es ist für den Worst-Case- (also den ungünstigsten) Fall zu dimensionieren. Hierbei sind Temperatur, Alterung, Bauelemente mit den ungünstigsten (statischen und dynamischen) Parametern, extreme Anschlußbedingungen und Toleranzen der Betriebsspannung einzubeziehen.

Eine ideale Worst-Case-Dimensionierung ist unerhört aufwendig und oft gar nicht möglich, weil auf Grund fehlender Herstellerangaben alle Randbedingungen nicht exakt fixiert werden können. In den meisten praktizierten Fällen ist diese Dimensionierung daher ein akzeptabler Kompromiß, der sich durch ein gutes Verhältnis von Aufwand zu verbleibendem Risiko auszeichnet. Ein solches Ergebnis setzt hohe fachliche Kompetenz des Entwicklungsingenieurs voraus.

– Die Grenzwerte der Bauelemente dürfen nicht voll ausgenutzt werden, wenn die Zuverlässigkeit gut sein soll. Zur pauschalen Verdeutlichung dieser Problematik sei gesagt, daß bei einer Grenzwertauslastung von 50 % die Zuverlässigkeit um ungefähr eine Zehnerpotenz zunimmt.

Bei Dioden sollte der Grenzwert der Sperrspannung mit maximal 80 %, der des Flußstroms mit maximal 60 % ausgenutzt werden. Bei Transistoren nutzt man  $U_{CEO \max}$  und  $I_{C \max}$  mit  $\leq 80 \%$ ,  $U_{EB \max}$  mit bis zu 100 % aus. Die Höchstwerte für die an Kondensatoren zulässigen Gleich- und Wechselfspannungen sollten mit maximal 80 % genutzt werden.

Die Temperatur ist der wirkungsvollste Streßfaktor für die Bauelemente. Die Ausfallrate steigt grundsätzlich mit der Temperatur. Bei Halbleitern ergibt sich eine Verdopplung der Ausfallrate pro 8 K, bei den übrigen Bauelementen pro 10 K (bezogen auf 25 °C). Niedrige Betriebstemperatur ist daher ein Gebot der Zuverlässigkeit. Hieraus folgt die im Vergleich zu anderen Bauelementen ungewöhnlich strenge Forderung zur Leistungsauslastung von Widerständen: Baureihe 22  $\leq 15 \%$ , Baureihe 23 und Schichteststellwiderstände  $\leq 50 \%$  der Nennverlustleistung. Die genannten Angaben sind durch Zuverlässigkeitsuntersuchungen ermittelte, allgemein anerkannte Richtwerte.

– Ein „Entwicklungsfahrplan“, der die Festlegung entscheidender Entwicklungsetappen einschließlich gründlicher Prüfung

des Erreichten vorsieht, sollte auch vom Amateur benutzt werden. In der Industrie werden z. B. folgende Entwicklungsstationen markiert (Auswahl):

- K1 Forderungen festlegen, Störverhältnisse abschätzen;
- K2 Funktionsmustererprobung, Kontrolle auf Einhaltung der Forderungen;
- K8 Fertigungsmuster-Abnahme;
- K10 Serienerzeugnis-Abnahme.

## 10.2. Stromversorgung

– Bei langen Zuleitungen und hoher Stromaufnahme ist der über der Hin- und Rückleitung entstehende Spannungsabfall einzukalkulieren. Um in dieser Frage ein praktisches „Gefühl“ zu erhalten, seien 2 Beispiele angeführt: Ein Kupferdraht mit 0,5 mm Nenndurchmesser (Nennquerschnitt etwa  $0,2 \text{ mm}^2$ ) hat einen Widerstand von  $90 \text{ m}\Omega/\text{m}$ . Ein Kupferdraht von 1 mm Nenndurchmesser (Nennquerschnitt  $0,8 \text{ mm}^2$ ) weist  $22 \text{ m}\Omega/\text{m}$  auf. Wird durch den dünneren Draht ein Strom von 500 mA, durch den dickeren ein Strom von 2 A geschickt, ergibt sich jeweils ein Spannungsabfall von  $45 \text{ mV}/\text{m}$ . Ist eine Baugruppe mit TTL-Logik 3 m von der Spannungsquelle, die 5,0 V liefert, entfernt, so werden die Schaltkreise bei diesen Bedingungen unterhalb des Normbereichs betrieben.

– Beim Umgang mit den gegenwärtig präsenten Baureihen LS-TTL und CMOS muß man die spezifischen Eigenheiten bezüglich Spannungsversorgung beachten. Praktisch existieren grundlegende Unterschiede. TTL verlangt bekanntlich  $5 \text{ V} \pm 0,25 \text{ V}$ ; der Grenzwert ist 7 V, aber einmalige Überschreitung oder Falschpolung wird meist schadlos verkraftet. CMOS arbeitet ab 3 V (in Ausnahmefällen 5 V) bis 18 V, einem Grenzwert, dessen Überschreitung mit Sicherheit zur Zerstörung führt. Daher beschränke man sich praktisch auf maximal 15 V. Zum Defekt kommt es auch bei verpolter Betriebsspannung über 0,6 V. Weiterhin ist zu beachten, daß bei fehlender Betriebsspannung kein H-Eingangssignal anliegen darf.

– Für LS-TTL gibt der Hersteller folgende Hinweise:

Für 1 bis 3 Schaltkreise ist ein Keramikkondensator (Scheibenkondensator) von 10 bis 100 nF von  $U_{CC}$  nach Masse vorzusehen. Am Beginn der in die Schaltung führenden Versorgungsleitung ist ein Elektrolytkondensator von 10  $\mu$ F zwischen  $U_{CC}$  und Masse zu legen. Die Leitungen für negative Betriebsspannung und Systemmasse sind möglichst getrennt zu führen.

– Auch bei CMOS sollte trotz des relativ großen Störabstands auf eine Stützung der Betriebsspannung nicht verzichtet werden. Die Stützkapazität soll nach Herstellervorschrift etwa den 10fachen Wert der umzuladenden Kapazitäten (die im wesentlichen aus den diskreten Lastkapazitäten gebildet werden) haben. Als Mindestwert sollte für je 10 Schaltkreise ein Keramikkondensator von 22 nF vorgesehen werden. Bei einem hohen Innenwiderstand der Spannungsquelle und bei Batterieversorgung ist für je 6 Schaltkreise ein Scheibenkondensator von 100 nF vorzusehen.

– Während bei Standard- und LS-TTL die statische Stromaufnahme (durch Spannungsabfälle an internen Widerständen) zu beachten ist, kann man sie bei Standard- und HCT-CMOS vernachlässigen. Das bedingt die komplementäre Ausgangsstufe. Die relativ geringe Betriebsstromaufnahme von CMOS führt manchmal dazu, das Entkoppelproblem zu unterschätzen. Dabei passiert im Umschaltmoment bei allen genannten Familien das gleiche: Die Lastkapazität wird umgeladen, und die Betriebsstromentnahme ist momentan hoch. Die entstehenden Spannungseinbrüche sind um so größer, je weiter der Entkoppelkondensator vom Schaltkreis entfernt angeordnet ist. Das wird in erster Linie durch die Induktivität des Leiterzugs verursacht, die mit 10 nH/cm veranschlagt werden kann. Bekanntlich gilt:

$$|\Delta U| = L \frac{dI}{dt} \quad (28)$$

Ändert sich der Strom innerhalb von 10 ns um 100 mA, so kommt bei einer Leitungslänge von 10 cm (Hin- und Rückleitung zum Schaltkreis also je 5 cm) eine Spannungsänderung von etwa

1. V zustande! Wenn der Schwingkreis, den die Leitungsinduktivität mit dem Entkoppelkondensator bildet, resonant ist, ist die Spannungsanhebung noch größer. Besonders akut wird dieses Problem bei großen (dynamischen) RAM. Die Induktivität kann gesenkt werden, wenn die Leitung zwischen Kondensator und Schaltkreis mehrfach geführt wird!

– Die Wahl der Betriebsspannung bei CMOS erfordert einen Kompromiß. Bei geringer Betriebsspannung ist die Zuverlässig-

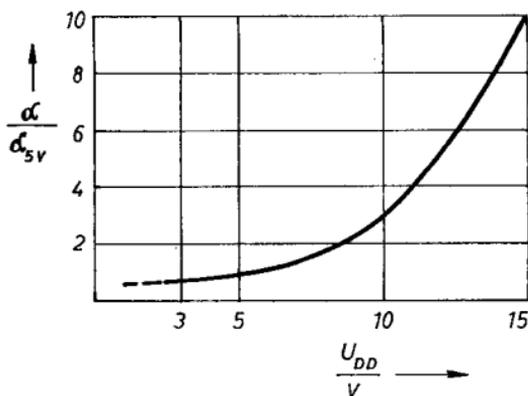


Bild 10.3  
Ausfallrate (bezogen auf  $U_{DD} = 5 \text{ V}$ ) als Funktion der Betriebsspannung für CMOS

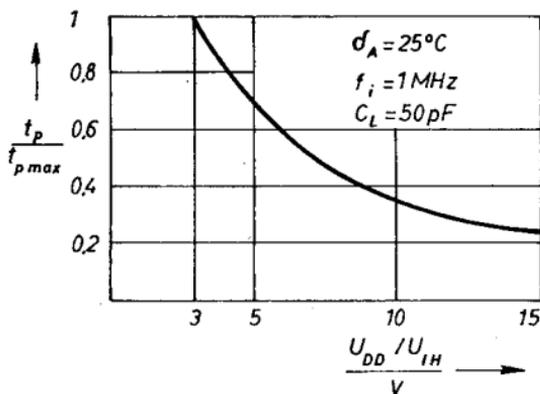


Bild 10.4 Gatterlaufzeit (bezogen auf  $U_{DD} = 3 \text{ V}$ ) als Funktion der Betriebs- bzw. Eingangsspannung für CMOS. Diese Abhängigkeit gilt prinzipiell auch für Anstiegs- und Abfallzeit sowie die CE-Aktivierungszeit (V 40098 D)

keit hoch, und Stromaufnahme und Verlustleistung sind gering. Bei hoher Betriebsspannung ist der statische Störabstand groß, das dynamische Verhalten gut und ein hoher Ausgangsstrom möglich. Die Bilder 10.3 und 10.4 geben Unterstützung bei der Festlegung der Betriebsspannung.

### 10.3. Störsicherheit

- Leitungen, die mehreren Stromkreisen angehören; sind impedanzarm auszuführen. Als Leiterzüge kann man sie dazu mehrfach, vermascht (netzförmig) oder als möglichst große Fläche auslegen.
- Digitale Schaltungen dürfen nicht aus Spannungsquellen für analoge Stufen oder für Baugruppen der Leistungselektronik mitversorgt werden.
- Signal- und Netzleitungen sind räumlich voneinander getrennt zu verlegen. Sie sollten nicht parallel zueinander verlaufen.
- Das Verdrillen von Hin- und Rückleiter bringt sowohl eine Senkung der (magnetisch) eingekoppelten Störkomponenten als auch des entstehenden Magnetfelds. Es ist daher sowohl für Signal- als auch für Netzleitungen sinnvoll (z. B. geht das Übersprechen zwischen benachbarten Leitungen durch Verdrillen auf 15 % zurück). Im Kabelbaum ist das Übersprechen nur zwischen unmittelbar benachbarten Leitungen praktisch bedeutsam.
- Bei Flachbandkabel, wie es z. B. bei der weit verbreiteten Centronics-Schnittstelle vorliegt, ist Verdrillen nicht möglich, das Übersprechen aber infolge der hohen parasitären Kapazität besonders hoch. Ganz akut wird das Problem praktisch bei CMOS-Eingängen, die bekanntlich extrem hochohmig sind. Die Kabellänge muß dann auf wenige dm beschränkt bleiben. Man kann 1,5 m erreichen, wenn zwischen den signalführenden Leitungen eine Leitung an Masse gelegt wird.
- Dünne Schirmwände aus Kupferfolie (Leiterplattenmaterial) oder aus Weißblech oder das Kupfergeflecht des Koaxialkabels beseitigen vorrangig die kapazitiv einkoppelnde Störkomponente. Schirmung ist gegen kapazitive Einstreuung nur dann

wirksam, wenn sie geerdet wird. Das sollte bei Signalleitungen an einem einzigen Punkt, möglichst nahe am Empfängereingang, erfolgen. Dann können keine Störungen durch Schleifenbildung auftreten.

– Für eine konstruktive Trennung der digitalen Baugruppe von elektromechanischen oder leistungselektronischen Funktionsgruppen ist zu sorgen.

– Netzfilter haben Zweifachwirkung: Sie dienen (in einer Richtung) zur Unterdrückung von Funkstörungen und (in der anderen Richtung) der Reduzierung von Netzstörungen.

– Äußere Beeinflussung wird praktisch durch Koaxialkabel ausgeschaltet. Für digitale Pegel muß es keine besondere Güte haben. Allen Anforderungen der Praxis genügt der auch im Einzelhandelssortiment enthaltene Typ 50-2-1 (Wellenwiderstand 50  $\Omega$ , Außendurchmesser 2,8 mm).

– Neben externen Störungen können bei der leitungsgebundenen Übertragung noch Störungen durch Fehlanpassung auftreten. Will man diese vermeiden, muß man die Leitung entweder elektrisch kurzhalten oder ein- und ausgangseitig mit einem Widerstand, der gleich dem Wellenwiderstand ist, abschließen. Jedes Signal benötigt zum Durchlaufen einer Leitung Zeit. Die Laufzeit stört, wenn sich der Wert des digitalen Signals in dieser Zeit wesentlich ändert. Für Koaxialkabel beträgt die Laufzeit 4,5 m/ns. Für LS-TTL wird die steilste Impulsflanke mit 6 ns angegeben. Die Schaltgeschwindigkeit der CMOS-Logikbaureihe *U74HCT* entspricht der LS-TTL-Baureihe. Eine Leitung bis 50cm Länge ist für diese Logikfamilien elektrisch kurz.

Bei Standard-CMOS sind die Verhältnisse wesentlich günstiger. Als steilste Impulsflanke werden 40 ns genannt, so daß eine Leitung bis zu 4 m Länge als elektrisch kurz gilt. Bei elektrisch kurzen Leitungen fallen Reflexionen noch in die Dauer des Zustandswechsels des Signals. Sie machen sich daher nur durch geringfügige Änderungen von Anstiegs- und Abfallzeit bemerkbar.

Reflexionen können völlig verhindert werden, wenn das Kabel beidseitig mit seinem Wellenwiderstand abgeschlossen wird.

Koaxialkabel werden mit Wellenwiderständen von  $50 \Omega$  und  $75 \Omega$  hergestellt. Werden 2 Leitungen verdrillt, ergibt sich ein definierter Wellenwiderstand. Verdrillt man 100mal je m, erhält man ihn zu etwa  $110 \Omega$ . Er steigt, wenn weniger verdrillt wird. Der konsequenten Anwendung dieser Methode stehen in der Praxis 2 Probleme im Weg.

Erstens ergeben sich bei den niedrigen Wellenwiderständen des bevorzugten Koaxialkabels hohe Ströme, die Gatter nicht aufbringen können. Zweitens erscheint der Leerlauf-Ausgangspegel am Empfängereingang halbiert.

Man läßt sich daher praktisch auf Kompromisse ein. Auf spezielle Ausgangsstufen wird verzichtet. TTL-Ausgänge und die Ausgänge der CMOS-Typen *V 4093 D*, *V 40098 D* sowie *V 4050 D* sind niederohmig genug (Bild 10.5, Bild 10.6 und Bild 10.7). Eine Ausgangsstufe nach Bild 10.8, die alle Anforderungen erfüllt, kann oft eingespart werden. Eingangsseitig kann ein Widerstand vom positiven Betriebsspannungsanschluß zur Eingangsleitung vorgesehen werden. Sein Wert ist so gering wie

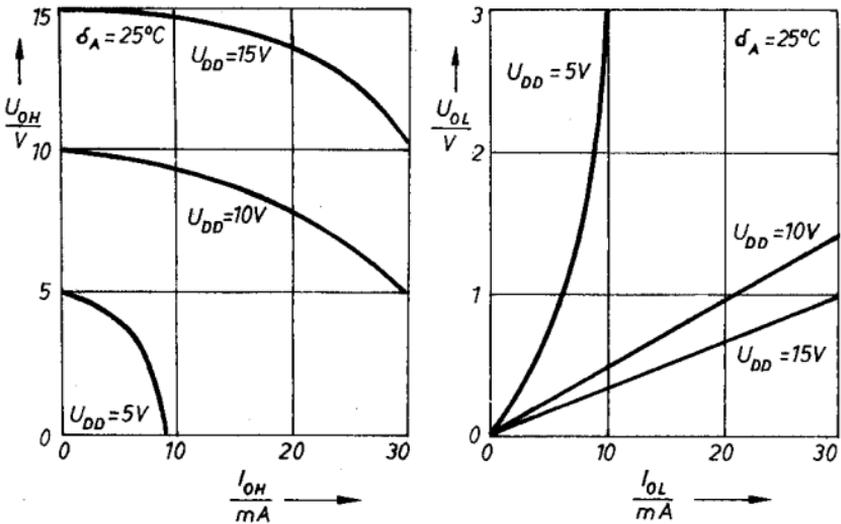


Bild 10.5 Typische Abhängigkeit der Ausgangsspannung vom Ausgangsstrom für *V 4093 D*

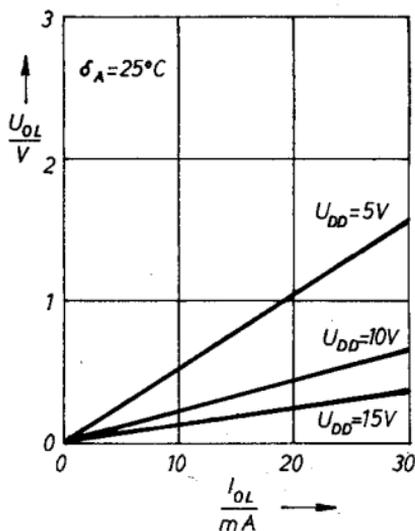
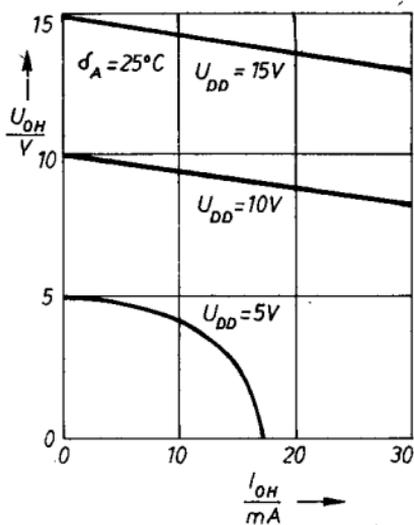


Bild 10.6 Typische Abhängigkeit der Ausgangsspannung vom Ausgangsstrom für V 40098 D

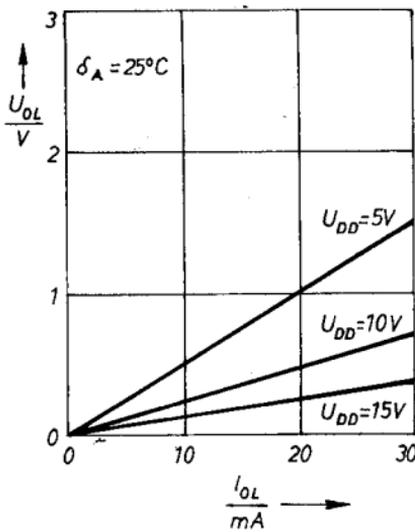
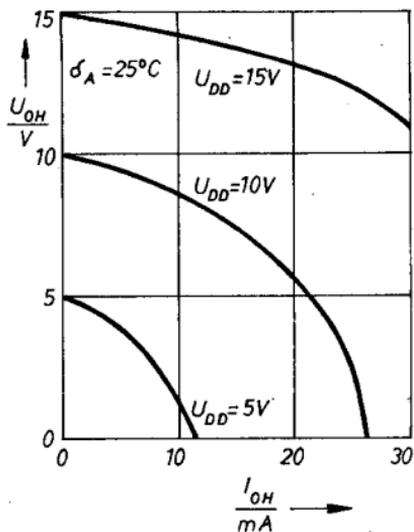


Bild 10.7 Typische Abhängigkeit der Ausgangsspannung vom Ausgangsstrom für V 4050 D

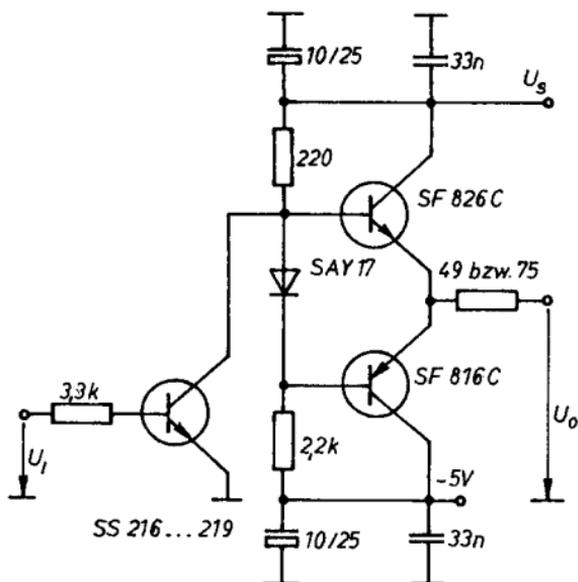


Bild 10.8 Gegentakt-Ausgangsstufe für die leitungsgebundene Übertragung bei großen Entfernungen. Die Eingangsspannung  $U_I$  kann von einem Gatter stammen.  $U_S$  ist doppelt so hoch zu wählen wie der geforderte Pegel am Empfängereingang bei Abschluß der Leitung mit ihrem Wellenwiderstand. Der in der Ausgangsleitung liegende Widerstand bestimmt den Ausgangswiderstand der Stufe. Verlustleistung beachten!

möglich zu wählen. Die untere Grenze wird durch die zulässige Anhebung des L-Pegels infolge des in den Ausgang hineinfließenden Stroms bestimmt. Gerade bei LS-TTL und HCT ist die Wahrung dieses statischen Störabstands wichtig, da er absolut schon nicht hoch ist. Daher kann diese Methode nicht sehr wirkungsvoll angewendet werden. Zu einer günstigeren Lösung führt die Überlegung, daß der wellenwiderstandsrichtige Abschluß nach Beendigung des Flankenwechsels am Empfängereingang nicht mehr erforderlich ist. Das führt zur Beschaltung mit einem RC-Glied zwischen Eingang und Masse beim Empfänger. Für die TTL-Übertragung kann man  $R$  mit  $82 \Omega$  wählen.

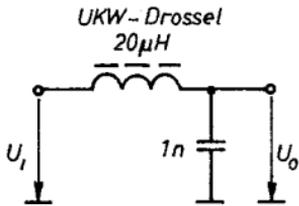


Bild 10.9

Störspannungsunterdrückung mit  $LC$ -Glied.  
Einsatzfähig für Signalfrequenzen bis etwa  
100 kHz

Für  $C$  werden etwa 200 pF je m Kabellänge angegeben. Ein Koaxialkabel von 15 m Länge kann dann noch problemlos zwischengeschaltet werden.

– Bei der Betrachtung des Problems der Reflexionen darf man nicht vergessen, daß das Kabel den Senderausgang kapazitiv belastet. Koaxialkabel weist z.B. einen Kapazitätsbelag von 100 pF/m für die Typen mit geringem Außendurchmesser auf. Kapazitive Belastung vergrößert automatisch die Schaltzeiten, so daß dann die längere Leitung auch noch als elektrisch kurz gilt. Für die 3 genannten CMOS-Typen wird die Abhängigkeit der dynamischen Kennwerte von der Lastkapazität bei  $U_{DD} = 10\text{ V}$  mit (0,15 bis 0,3) ns/pF angegeben. Mit dem gerade noch zulässigen Wert von 4,7 nF als Lastkapazität würde man dann Schaltzeiten zwischen 0,7 und 1,4  $\mu\text{s}$  erhalten. Dabei sind Übertragungsfrequenzen bis etwa 100 kHz praktikabel. Auch bezüglich des Empfängers gibt es keine Probleme: Die für LS-TTL empfohlene Mindeststeilheit der Eingangsflanke ist 1 V/ $\mu\text{s}$ . Bei Standard-CMOS genügt es, wenn der Flankenwechsel innerhalb von 10  $\mu\text{s}$  erfolgt.

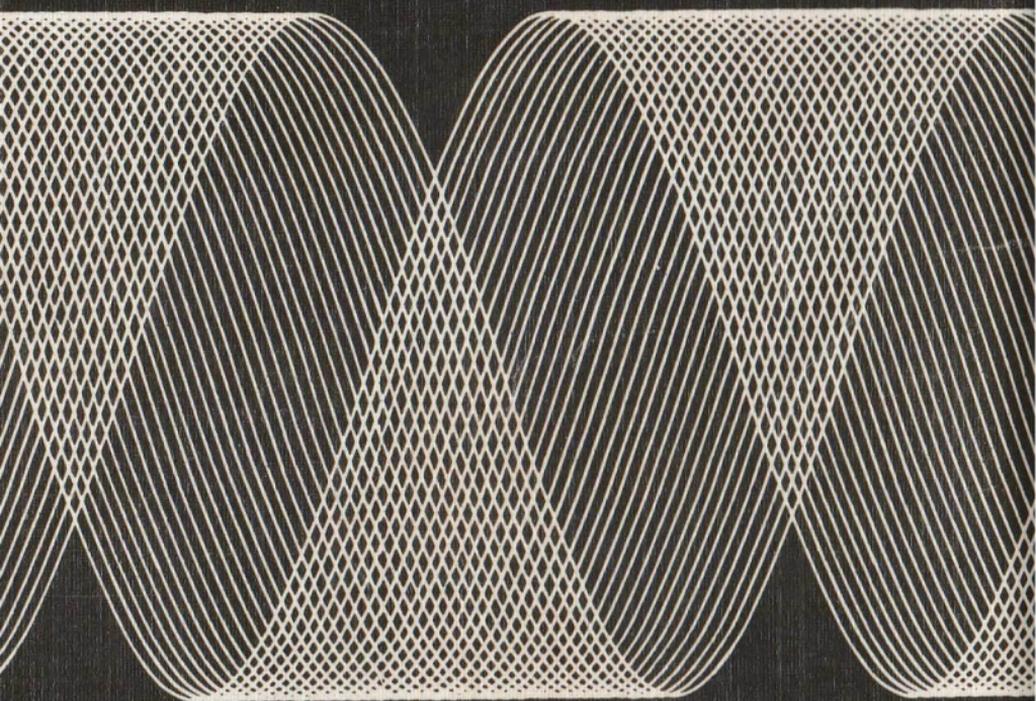
– Ist bei der Leitungsübertragung die Frequenz einer eingekoppelten Störung wesentlich größer als die des Signals, kann man die Störungen mit einem Tiefpaß am Empfängereingang eliminieren. Hierzu bietet sich ein  $LC$ -Glied an, da es im Gegensatz zu einem  $RC$ -Glied die Signalspannung nicht mindert. Bild 10.9 zeigt eine für die Praxis geeignete Ausführung.

– Bezieht die digitale Baugruppe ihr Eingangssignal über einen AD-Wandler, so können bei unsachgemäßer Verdrahtung ebenfalls Störungen auftreten, die sich in Unstabilitäten der letzten Stelle(n) des Wandlerausgangs zeigen.

Die Ursache ist eine Masseanhebung. Um diesen Effekt zu vermeiden, müssen analoge und digitale Masse getrennt geführt werden. Der einzige Verbindungspunkt muß direkt am AD-Wandler liegen, falls analoge und digitale Seite der Schaltung getrennte Spannungsversorgung (auch bezüglich Masse!) haben. Dieses Konzept sichert minimale Störbeeinflussung. Wo Analog- und Digitalteil eine gemeinsame Stromversorgung haben, sollte Sternpunkterdung angewendet werden. Der Punkt der Zusammenführung der Masseleitungen ist dann der Anschluß des Ladelektrolytkondensators. Wenn der AD-Wandler getrennte Masseanschlüsse (analog/digital) hat, sind diese auch getrennt an den Sternpunkt zu führen.

## Literatur

- [1] F. Doker/J. Steinhauer, Digitale Elektronik in der Meßtechnik und Datenverarbeitung. Band I, Deutsche Philips GmbH Hamburg 1972, 4. Aufl.
- [2] Elektronische Schaltungen – Anwendungskatalog. KdT Suhl 1983, 3. Aufl.
- [3] E. Kühn, Handbuch TTL- und CMOS-Schaltkreise. Berlin 1986.
- [4] P. Näser, Treiber-IS D 410 D, E 412 D. Reihe Information – Applikation, Heft 15, VEB Halbleiterwerk Frankfurt (Oder).
- [5] Applikationsbuch Band 1. Texas Instruments, 4. Aufl.
- [6] E. Fehse, Integrierter Systemtaktgenerator DL 8127 D. In: Mikroprozessortechnik 1 (1987), Heft 7.
- [7] P. Sworowski/B. Endler, Universelle Quarzzeitbasis für netzfrequenzgetaktete Uhren. In: Funkamateurl 38 (1989), Heft 3.
- [8] A. Bogatz, Mikrorechner in der Amateurmeßtechnik. Berlin 1988, 1. Aufl.
- [9] R. Dreyer, Intelligente Meßgeräte für den Service. In: Funktechnik 39 (1984), Heft 9.
- [10] 302 Schaltungen. Elektor-Verlag Gangel 1985.
- [11] S. Güldner/H. Zinke, Interface-IS, Decoder-IS. Reihe Information – Applikation, Heft 19, VEB Halbleiterwerk Frankfurt (Oder).
- [12] Optoelectronics. Fitzer Optics Applications Manual, Hewlett-Packard 1981.
- [13] K. Benning/B. Bürger, CMOS-Logikschaltkreise. Reihe Information – Applikation, Heft 12, VEB Halbleiterwerk Frankfurt (Oder).



**ISBN 3-327-00942-2**  
**00190**